

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira UMEZAWA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR MEMORY DEVICE INCLUDING MOS TRANSISTORS EACH HAVING A FLOATING GATE AND A CONTROL GATE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-122342	April 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 2 5 日  
Date of Application:

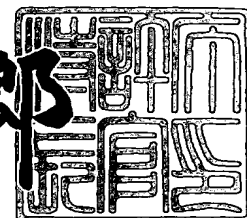
出 願 番 号                      特 願 2 0 0 3 - 1 2 2 3 4 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 2 2 3 4 2 ]

出      願      人                      株式会社東芝  
Applicant(s):

2 0 0 3 年    7 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 A000301614

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 梅沢 明

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 長谷川 武裕

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 電荷蓄積層と制御ゲートとを備える第 1 MOS トランジスタと、電流経路の一端が前記第 1 MOS トランジスタの電流経路の一端に接続された第 2 MOS トランジスタとを含む複数のメモリセルと、

それぞれに複数の前記メモリセルの第 1 MOS トランジスタの電流経路の他端が接続された複数のローカルビット線と、

複数の前記ローカルビット線を共通接続するグローバルビット線と、

前記ローカルビット線と前記グローバルビット線とを接続する第 1 スイッチ素子と、

前記グローバルビット線に接続され、前記メモリセルへの書き込みデータを保持する保持回路と

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 複数の前記メモリセルの前記制御ゲートを共通接続するワード線を更に備え、

書き込み動作は、同一の前記ワード線に接続された複数のメモリセルに対して同時に行われる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 電荷蓄積層と制御ゲートとを備える第 1 MOS トランジスタを含む複数のメモリセルと、

複数の前記メモリセルの前記制御ゲートを共通接続するワード線と、

それぞれに複数の前記メモリセルの第 1 MOS トランジスタの電流経路の一端が接続された複数のローカルビット線と、

複数の前記ローカルビット線を共通接続するグローバルビット線と、

前記ローカルビット線と前記グローバルビット線とを接続する第 1 スイッチ素子と、

前記グローバルビット線に接続され、前記メモリセルへの書き込みデータを保持する保持回路と

を具備し、書き込み動作が、前記電荷蓄積層に対するF Nトンネリングによる電子の授受によって行われ、且つ同一のワード線に接続された複数のメモリセルに対して同時に行われる

ことを特徴とする不揮発性半導体記憶装置。

【請求項4】 前記メモリセルは、前記第1 MOS トランジスタの電流経路の他端に接続された電流経路の一端を有する第2 MOS トランジスタを更に備える

ことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】 前記メモリセルへのデータの書き込みは、F Nトンネリングによる前記電荷蓄積層への電子の授受によって行う

ことを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

【請求項6】 前記グローバルビット線は、書き込み用グローバルビット線と読み出し用グローバルビット線とを含み、

前記第1 スイッチ素子は、前記書き込み用グローバルビット線と前記ローカルビット線とを接続する第2 スイッチ素子と、前記読み出し用グローバルビット線と前記ローカルビット線とを接続する第3 スイッチ素子とを含み、

前記保持回路は、前記書き込み用グローバルビット線に接続され、

前記読み出し用グローバルビット線に接続され、読み出しデータを増幅するセンスアンプを更に備える

ことを特徴とする請求項1乃至5いずれか1項記載の不揮発性半導体記憶装置。

【請求項7】 前記第3 スイッチ素子は、前記ローカルビット線に接続された電流経路の一端と、電流経路の他端とを有する第3 MOS トランジスタと、

前記第3 MOS トランジスタの前記電流経路の他端に接続された電流経路の一端と、前記読み出し用グローバルビット線に接続された電流経路の他端とを有し、前記第3 MOS トランジスタよりもゲート絶縁膜の薄い第4 MOS トランジスタとを備える

ことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項8】 読み出し時において、前記書き込み用グローバルビット線の

電位は接地電位にされる

ことを特徴とする請求項 6 または 7 記載の不揮発性半導体記憶装置。

【請求項 9】 前記グローバルビット線の一端に接続され、読み出しデータを増幅するセンスアンプと、

前記ローカルビット線と前記第 1 スイッチ素子との接続ノードに接続された電流経路の一端と、第 1 の電位に接続された電流経路の他端とを有する第 3 MOS トランジスタと

を更に備え、

前記保持回路は、前記グローバルビット線の他端に接続され、

前記グローバルビット線を共有する前記ローカルビット線に接続される前記第 3 MOS トランジスタのゲートは互いに独立している

ことを特徴とする請求項 1 乃至 5 いずれか 1 項記載の不揮発性半導体記憶装置

。

【請求項 10】 前記メモリセルの前記第 2 MOS トランジスタの電流経路の他端を共通接続するソース線と、

前記ソース線に電位を供給するソース線ドライバと

を更に備えることを特徴とする請求項 1 乃至 9 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 11】 書き込み動作時には、前記ローカルビット線には負電圧が与えられ、消去動作時には、前記第 1 MOS トランジスタの制御ゲートに負電圧が与えられる

ことを特徴とする請求項 1 乃至 10 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 12】 2 本の前記ローカルビット線に接続された 2 列の前記メモリセルを含む複数のセルブロックと、

前記メモリセルから読み出したデータを増幅するセンスアンプとを更に備え、

各々の前記グローバルビット線は、2 本の書き込み用グローバルビット線と 1 本の読み出し用グローバルビット線とを含み、

前記第 1 スイッチ素子は、第 2、第 3 スイッチ素子を含み、

各々の前記セルブロックにおいて、2本の前記ローカルビット線は前記第2スイッチ素子を介して前記2本の書き込み用グローバルビット線にそれぞれ接続され、読み出し用グローバルビット線は、前記第3スイッチ素子を介して前記2本のローカルビット線に共通接続され、

前記書き込み用グローバルビット線の各々に、前記保持回路が接続され、  
前記読み出し用グローバルビット線の各々に前記センスアンプが接続されている

ことを特徴とする請求項1乃至4いずれか1項記載の不揮発性半導体記憶装置。

【請求項13】 4本の前記ローカルビット線にそれぞれ接続された4列の前記メモリセルを含む複数のセルブロックと、

前記メモリセルから読み出したデータを増幅するセンスアンプとを更に備え、  
各々の前記グローバルビット線は、2本の書き込み用グローバルビット線と1本の読み出し用グローバルビット線とを含み、

前記第1スイッチ素子は、第2、第3スイッチ素子を含み、

各々の前記セルブロックにおいて、2本の前記ローカルビット線は前記第2スイッチ素子を介していずれか一方の前記書き込み用グローバルビット線に共通接続され、残りの2本のローカルビット線は前記第2スイッチ素子を介していずれか他方の前記書き込み用グローバルビット線に共通接続され、読み出し用グローバルビット線は、前記第3スイッチ素子を介して前記4本のローカルビット線に共通接続され、

前記書き込み用グローバルビット線の各々に、前記保持回路が接続され、  
前記読み出し用グローバルビット線の各々に前記センスアンプが接続されている

ことを特徴とする請求項1乃至4いずれか1項記載の不揮発性半導体記憶装置。

【請求項14】 2本の前記ローカルビット線にそれぞれ接続された2列の前記メモリセルを含む複数のセルブロックと、

前記セルブロック毎に設けられ、前記2本のローカルビット線と、第1電位ノ



ードとの間を接続する第2スイッチ素子と、

前記メモリセルから読み出したデータを増幅するセンスアンプとを更に備え、

各々の前記セルブロックにおいて、2本の前記ローカルビット線は前記グローバルビット線に前記第1スイッチを介して共通接続され、書き込み時には、いずれか一方のローカルビット線が前記第1スイッチによって前記グローバルビット線に接続され且つ前記第2スイッチによって前記第1電位ノードから分離され、いずれか他方のローカルビット線が前記第2スイッチによって前記第1電位ノードに接続され且つ前記第1スイッチによって前記グローバルビット線から分離され、読み出し時には、いずれか一方のローカルビット線が前記第1スイッチによって前記グローバルビット線に接続され、いずれか他方のローカルビット線が前記第1スイッチによって前記グローバルビット線から分離され、

前記グローバルビット線の一端に前記保持回路が接続され、他端に前記センスアンプが接続される

ことを特徴とする請求項1乃至4いずれか1項記載の不揮発性半導体記憶装置

。 【請求項15】 4本の前記ローカルビット線にそれぞれ接続された4列の前記メモリセルを含む複数のセルブロックと、

前記セルブロック毎に設けられ、前記4本のローカルビット線と、第1電位ノードとの間を接続する第2スイッチ素子と、

前記メモリセルから読み出したデータを増幅するセンスアンプとを更に備え、

各々の前記セルブロックにおいて、4本の前記ローカルビット線は前記グローバルビット線に前記第1スイッチを介して共通接続され、書き込み時には、いずれか1本のローカルビット線が前記第1スイッチによって前記グローバルビット線に接続され且つ前記第2スイッチによって前記第1電位ノードから分離され、その他の3本のローカルビット線が前記第2スイッチによって前記第1電位ノードに接続され且つ前記第1スイッチによって前記グローバルビット線から分離され、読み出し時には、いずれか1本のローカルビット線が前記第1スイッチによって前記グローバルビット線に接続され、その他の3本のローカルビット線が前記第1スイッチによって前記グローバルビット線から分離され、

前記グローバルビット線の一端に前記保持回路が接続され、他端に前記センスアンプが接続される

ことを特徴とする請求項 1 乃至 4 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 16】 前記グローバルビット線は、前記メモリセルがマトリクス状に配置されたメモリセルアレイ内において、最も高いレベルに位置する金属配線層によって形成される

ことを特徴とする請求項 1 乃至 15 いずれか 1 項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関する。例えば、フローティングゲートとコントロールゲートとを有する MOS トランジスタを含む不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

従来から、不揮発性半導体メモリとして、NOR 型フラッシュメモリや NAND 型フラッシュメモリが知られており、広く使用されている。

【0003】

近年では、NOR 型フラッシュメモリと NAND 型フラッシュメモリの両者の長所を兼ね備えたフラッシュメモリが提案されている（例えば非特許文献 1 参照）。このフラッシュメモリは、2 つの MOS トランジスタを含むメモリセルを備えている。このようなメモリセルにおいては、不揮発性記憶部として機能する一方の MOS トランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有し、ビット線に接続されている。他方の MOS トランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

【0004】

【非特許文献 1】

Wei-Hua Liu 著、" A 2-Transistor Source-select(2TS) Flash EEPROM for 1.8V-Only Application"、Non-Volatile Semiconductor Memory Workshop 4.1、1997年

【0005】

【発明が解決しようとする課題】

しかし、上記従来のフラッシュメモリであると、動作速度が十分ではないという問題があった。特に、読み出しスピードが遅いという問題があった。

【0006】

この発明は、上記事情に鑑みてなされたもので、その目的は、動作速度を向上できる不揮発性半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】

この発明の第1の態様に係る不揮発性半導体記憶装置は、電荷蓄積層と制御ゲートとを備える第1MOSトランジスタと、電流経路の一端が前記第1MOSトランジスタの電流経路の一端に接続された第2MOSトランジスタとを含む複数のメモリセルと、それぞれに複数の前記メモリセルの第1MOSトランジスタの電流経路の他端が接続された複数のローカルビット線と、複数の前記ローカルビット線を共通接続するグローバルビット線と、前記ローカルビット線と前記グローバルビット線とを接続する第1スイッチ素子と、前記グローバルビット線に接続され、前記メモリセルへの書き込みデータを保持する保持回路とを具備することを特徴としている。

【0008】

また、この発明の第2の態様に係る不揮発性半導体記憶装置は、電荷蓄積層と制御ゲートとを備える第1MOSトランジスタを含む複数のメモリセルと、複数の前記メモリセルの前記制御ゲートを共通接続するワード線と、それぞれに複数の前記メモリセルの第1MOSトランジスタの電流経路の一端が接続された複数のローカルビット線と、複数の前記ローカルビット線を共通接続するグローバルビット線と、前記ローカルビット線と前記グローバルビット線とを接続する第1スイッチ素子と、前記グローバルビット線に接続され、前記メモリセルへの書き

込みデータを保持する保持回路とを具備し、書き込み動作が、前記電荷蓄積層に対するFNトンネリングによる電子の授受によって行われ、且つ同一のワード線に接続された複数のメモリセルに対して同時に行われることを特徴としている。

#### 【0009】

上記構成の不揮発性半導体記憶装置によれば、複数のメモリセルをローカルビット線に接続し、複数のローカルビット線をグローバルビット線に接続している。すなわち、階層ビット線方式を採用している。これにより、書き込み時及び読み出し時において、グローバルビット線に存在する寄生容量を大幅に低減している。そのため、フラッシュメモリの動作を高速化出来る。また書き込みの際には、非選択のメモリセルへの誤書き込みの発生を、効果的に抑制できる。

#### 【0010】

##### 【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

#### 【0011】

この発明の第1の実施形態に係る不揮発性半導体記憶装置について図1を用いて説明する。図1は、本実施形態に係るフラッシュメモリのブロック図である。

#### 【0012】

図示するように、フラッシュメモリ10は、メモリセルアレイ20、書き込み用デコーダ30、読み出し用デコーダ40、セレクトゲートデコーダ50、ラッチ回路60、センスアンプ70、及びソース線ドライバ80を備えている。

#### 【0013】

メモリセルアレイ20は、 $((m+1) \times (n+1))$ 、但し $m$ 、 $n$ は自然数)個のメモリセルブロックBLK、メモリセルブロックBLK毎に設けられたセレクトクタSEL、及びMOSトランジスタ21を有している。なお、図1では $(2 \times 2)$ 個のメモリセルブロックBLKのみを示しているが、この数は特に限定されるものではない。

#### 【0014】

各々のメモリセルブロックは、複数のメモリセルMCを含んでいる。メモリセ

ルMCは、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成されたコントロールゲートとを有する積層ゲート構造を備えている。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。本構成のメモリセルMCが、各々のメモリセルブロックに $(4 \times 2)$ 個、含まれている。なお、列方向に配置されたメモリセルMCの数は、図1では4個であるが、この数も一例に過ぎず、例えば8個や16個等でも良く、限定されるものではない。また、列方向で隣接するメモリセルMC同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。そして、2列のメモリセルのメモリセルトランジスタMTのドレイン領域は、2本のローカルビット線LBL0、LBL1にそれぞれ接続されている。ローカルビット線LBL0、LBL1の一端はセクタSELに接続され、他端はMOSトランジスタ22の電流経路を介して、書き込み用デコーダ30に接続されている。更に、メモリセルアレイ20内においては、同一行のメモリセルトランジスタMTのコントロールゲートが、それぞれワード線WL0~WL $(4m-1)$ のいずれかに共通接続されている。また同一行の選択トランジスタSTのゲートは、それぞれセレクトゲート線SG0~SG $(4m-1)$ のいずれかに共通接続されている。前述のローカルビット線LBL0、LBL1は各々のメモリセルブロックBLK内においてメモリセルトランジスタを共通接続するのに対して、ワード線WL及びセレクトゲート線SGは、同一行にあるメモリセルトランジスタ及び選択トランジスタをメモリセルブロック間においても共通接続する。そして、ワード線WL0~WL $(4m-1)$ は書き込み用デコーダ30に接続され、セレクトゲート線SG0~SG $(4m-1)$ はセレクトゲートデコーダ50に接続されている。また、選択トランジスタSTのソース領域は、複数のメモリセルブロックBLK間で共通接続され、ソース線ドライバ80に接続されている。

#### 【0015】

次にセクタSELの構成について説明する。セクタSELの各々は、直列

接続された4つのMOSトランジスタ23～26を備えている。すなわち、MOSトランジスタ23の電流経路の一端がMOSトランジスタ24の電流経路の一端に接続され、MOSトランジスタ24の電流経路の他端がMOSトランジスタ25の電流経路の一端に接続され、MOSトランジスタ25の電流経路の他端がMOSトランジスタ26の電流経路の一端に接続されている。MOSトランジスタ23、26のゲートは、書き込み用デコーダ30に接続され、MOSトランジスタ24、25のゲートは、読み出し用デコーダ40に接続されている。そして、MOSトランジスタ23とMOSトランジスタ24との接続ノードに、対応するメモリセルブロックBLKのローカルビット線LBL0が接続され、MOSトランジスタ25とMOSトランジスタ26との接続ノードに、対応するメモリセルブロックBLKのローカルビット線LBL1が接続されている。更に、セクタSELのMOSトランジスタ23、26の他端は、書き込み用グローバルビット線WGBL0～WGBL(2n-1)のいずれかに接続されている。書き込み用グローバルビット線WGBL0～WGBL(2n-1)のそれぞれは、同一列にあるセクタSELのMOSトランジスタ23またはMOSトランジスタ26の電流経路の他端を共通接続する。そして、書き込み用グローバルビット線WGBL0～WGBL(2n-1)の一端は、書き込み用グローバルビット線毎に設けられたラッチ回路60に接続されている。また、MOSトランジスタ24とMOSトランジスタ25の接続ノードには、読み出し用グローバルビット線RGBL0～RGBL(n-1)が接続されている。読み出し用グローバルビット線RGBL0～RGBL(n-1)のそれぞれは、同一列にあるセクタSELにおけるMOSトランジスタ24とMOSトランジスタ25との接続ノードを共通接続する。そして、読み出し用グローバルビット線RGBL0～RGBL(n-1)の一端は、それぞれMOSトランジスタ21の電流経路を介してセンスアンプ70に接続されている。各MOSトランジスタ21のゲートは共通接続され、読み出し用デコーダ40に接続されている。

#### 【0016】

上記メモリセルアレイ20の構成は次のようにも説明できる。メモリセルアレイ20内には、複数のメモリセルMCがマトリクス状に配置されている。同一行

にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線WL0～WL(4m-1)のいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタのゲートは、セレクトゲート線SG0～SG(4m-1)のいずれかに接続されている。そして、同一列にあり、直列接続された4つのメモリセルMCのメモリセルトランジスタMTのドレインは、ローカルビット線LBL0、LBL1のいずれかに共通接続されている。すなわち、メモリセルアレイ20内の複数のメモリセルMCは、一列に並んだ4つのメモリセルMC毎に、異なるローカルビット線に接続されている。そして、同一行にあるローカルビット線の一端は、MOSトランジスタ22を介して共通接続され、書き込み用デコーダ30に接続されている。また、同一列にあるローカルビット線LBL0、LBL1の他端は、それぞれMOSトランジスタ23、26を介して書き込み用グローバルビット線WGBL0～WGBL(2n-1)のいずれかに共通接続されており、且つそれぞれMOSトランジスタ24、25を介して読み出し用グローバルビット線RGBL0～RGBL(n-1)のいずれかに共通接続されている。そして、メモリセルMCの選択トランジスタSTのソースは共通接続され、ソース線ドライバ80に接続されている。上記構成のメモリセルアレイにおいて、同一のローカルビット線に接続された4つのメモリセルMCが2列集まって、1つのメモリセルブロックBLKが構成されている。同一列のメモリセルブロックは、共通の書き込み用グローバルビット線及び読み出し用グローバルビット線に接続されている。他方、互いに異なる列にあるメモリセルブロックは、それぞれ異なる書き込み用グローバルビット線及び読み出し用グローバルビット線に接続されている。

#### 【0017】

書き込み用デコーダ30は、書き込み時において、ワード線WL0～WL(4m-1)のいずれかを選択し、選択したワード線に電圧を供給する。また、セクタSEL内のMOSトランジスタ23、26のゲートに電圧を供給する。更に、MOSトランジスタ22のゲート、及びローカルビット線の共通接続ノードに電圧を供給する。

#### 【0018】

読み出し用デコーダ40は、読み出し時において、セクタSEL内のMOSトランジスタ24、25のいずれかを選択し、選択したMOSトランジスタのゲートに電圧を供給する。また、MOSトランジスタ21のゲートに電圧を供給する。

#### 【0019】

セレクトゲートデコーダ50は、セレクトゲート線SG0～SG(4m-1)のいずれかを選択し、選択したセレクトゲート線に電圧を供給する。

#### 【0020】

ラッチ回路60は、書き込みデータをラッチする。

#### 【0021】

センスアンプ70は、読み出したデータを増幅する。

#### 【0022】

ソース線ドライバ80は、ソース線に電圧を供給する。

#### 【0023】

図2は、ラッチ回路60の一構成例を示す回路図である。図示するように、ラッチ回路60は2つのインバータ61、62を備えている。インバータ61の入力端は、インバータ62の出力端に接続され、インバータ61の出力端は、インバータ62の入力端に接続されている。そして、インバータ61の入力端とインバータ62の出力端との接続ノードが、書き込み用グローバルビット線に接続されている。インバータ61、62の電源電圧は、VBB(例えば-8V)と、Vcc(例えば1.5V)またはGNDである。電源電圧の高電圧側がVccであるかGNDであるかは、スイッチ素子63によって選択される。

#### 【0024】

次に、図1に示すフラッシュメモリが備えるメモリセルアレイの平面パターンについて説明する。図3は、特に図1において、書き込み用グローバルビット線WGBL0、1及びワード線WL0～WL3に接続された1つのメモリセルブロックBLKの平面図である。

#### 【0025】

図示するように、半導体基板100中に、第1方向に沿ったストライプ形状の



素子領域AAが、第1方向に直交する第2方向に沿って複数形成されている。そして、2本の素子領域AAを跨ぐようにして、第2方向に沿ったストライプ形状のワード線WL0～WL3及びセレクトゲート線SG0～SG3が形成されている。勿論、これらのワード線WL0～WL3及びセレクトゲート線SG0～SG3は、第2方向で隣接する複数のメモリセルブロック（図示せず）間で共通接続されている。そして、ワード線WL0～WL3と素子領域AAとが交差する領域には、メモリセルトランジスタMT（図示せず）が形成され、セレクトゲート線SG0～SG3と素子領域AAとが交差する領域には、選択トランジスタST（図示せず）が形成されている。また、ワード線WL0～WL3と素子領域AAとが交差する領域には、メモリセルトランジスタMT毎に分離されたフローティングゲート（図示せず）が形成されている。

#### 【0026】

そして、隣接する2本のセレクトゲート線SG0、SG1、及びSG2、SG3上には、第2方向に沿ったストライプ形状のソース線SL0、SL1が形成されている。ソース線SL0、SL1と、選択トランジスタSTのソース領域とは、コンタクトプラグCP1によって電氣的に接続されている。また、素子領域AAとはほぼオーバーラップするようにして、第1方向に沿ったストライプ形状のローカルビット線LBL0、LBL1が形成されている。ローカルビット線LBL0、LBL1の一端は、当該メモリセルブロックBLKに対応するセクタSELに接続され、他端は、上記セクタから最も遠い位置にあるメモリセルトランジスタMT（ワード線WL3に接続されたメモリセルトランジスタ）の上部に位置している。そして、各メモリセルトランジスタMTのドレイン領域とコンタクトプラグCP2を介して接続されている。また、各セレクトゲート線SG0～SG3の直上の領域には、第2方向に沿ったストライプ形状の金属配線層110が形成されている。この金属配線層110は、セレクトゲート線SG0～SG3のシャント配線として機能するものであり、図示せぬ領域でセレクトゲート線SG0～SG3とコンタクトプラグによって接続されている。なお、対応するセクタSELから最も遠い位置には、MOSトランジスタ21のゲート電極120が、第2方向に沿ったストライプ形状に形成されている。そして、MOSトランジ

スタ 21 のソース領域は、コンタクトプラグ CP 3 によって金属配線層 130 に接続されている。金属配線層 130 は、同一行の MOS トランジスタ 21 のソース領域を共通接続している。更に、上記の配線よりも上層のレベルに、第 1 の方向に沿ったストライプ形状の 3 本の金属配線層が形成されている。これら 3 本の金属配線層は、2 本の書き込み用グローバルビット線 WGBL 0、WGBL 1 及び書き込み用グローバルビット線に挟まれた読み出し用グローバルビット線 RGBL 0 である。

#### 【0027】

次に、上記メモリセルブロック BLK の断面構造について、図 4、図 5 を用いて説明する。図 4 は図 3 における X1-X1' 線方向、図 5 は図 3 における Y1-Y1' 線方向に沿った断面図である。

#### 【0028】

図示するように、半導体基板 100 中には、素子分離領域 STI が形成されている。そして、素子分離領域 STI によって周囲を取り囲まれた領域が、素子領域 AA となっている。半導体基板 100 の素子領域 AA 上には、ゲート絶縁膜 140 が形成され、ゲート絶縁膜 140 上に、メモリセルトランジスタ MT 及び選択トランジスタ ST のゲート電極が形成されている。メモリセルトランジスタ MT 及び選択トランジスタ ST のゲート電極は、ゲート絶縁膜 140 上に形成された多結晶シリコン層 150、多結晶シリコン層 150 上に形成されたゲート間絶縁膜 160、及びゲート間絶縁膜 160 上に形成された多結晶シリコン層 170 を有している。ゲート間絶縁膜 160 は、例えばシリコン酸化膜、またはシリコン酸化膜とシリコン窒化膜との積層構造である ON 膜、NO 膜、または ONO 膜で形成される。多結晶シリコン層 150 は、図 4 に示すように、隣接する素子領域 AA 間で互いに分離されており、メモリセルトランジスタ MT においてはフローティングゲートとして機能する。また、多結晶シリコン層 170 はコントロールゲートとして機能し、ワード線 WL に接続される。そして、隣接する素子領域 AA 間で共通接続されている。選択トランジスタ ST においては、ゲート間絶縁膜 160 の一部が除去されており、多結晶シリコン層 150、170 は電氣的に接続されている。そして、多結晶シリコン層 150、170 が、セレクトゲート

線SGに接続される。選択トランジスタSTにおいても、多結晶シリコン層170は、隣接する素子領域AA間で共通接続されている。そして、隣接するゲート電極間に位置する半導体基板100表面内には、不純物拡散層180が形成されている。不純物拡散層180は、隣接するトランジスタ同士で共用されている。また、半導体基板100上には、セクタSELから最も遠い位置にMOSトランジスタ22のゲート電極120が形成されている。

#### 【0029】


なお、メモリセルトランジスタMTと選択トランジスタSTとを含むメモリセルMCは、次のような関係を有して形成されている。すなわち、隣接するメモリセルMC、MCは、互いに選択トランジスタST同士、またはメモリセルトランジスタMT同士が隣り合っている。そして、隣り合ったもの同士は不純物拡散層を共有している。従って、隣接する2つのメモリセルMC、MCは、選択トランジスタST同士が隣り合う場合には、2つの選択トランジスタST、STが共有する不純物拡散層180を中心にして、対称に配置されている。逆に、メモリセルトランジスタMT同士が隣り合う場合には、2つのメモリセルトランジスタMT、MTが共有する不純物拡散層180を中心にして、対称に配置されている。

#### 【0030】

そして、半導体基板100上には、上記メモリセルトランジスタMT、選択トランジスタST、及びMOSトランジスタ22を被覆するようにして、層間絶縁膜190が形成されている。層間絶縁膜190中には、2つの選択トランジスタST、STが共有する不純物拡散層（ソース領域）180に達するコンタクトプラグCP1が形成されている。そして層間絶縁膜190上には、コンタクトプラグCP1に接続される金属配線層200が形成されている。金属配線層200は、ソース線SLとして機能する。

#### 【0031】

層間絶縁膜190上には、金属配線層200を被覆するようにして、層間絶縁膜210が形成されている。そして、層間絶縁膜210表面から層間絶縁膜190を貫通して、メモリセルトランジスタMTの不純物拡散層（ドレイン領域）180に達するコンタクトプラグCP2が形成されている。また、コンタクトプラ



グCP2と同様の形状であり、MOSトランジスタ22の不純物拡散層180（ソース領域）に達するコンタクトプラグCP3が形成されている。そして、層間絶縁膜210上には、複数のコンタクトプラグCP2に共通に接続された金属配線層220が形成されている。金属配線層220は、ローカルビット線LBL0、LBL1として機能する。金属配線層220の一端は、同一の素子領域AA内において最もMOSトランジスタ22に近い位置にあるコンタクトプラグCP2に接続され、他端は図示せぬセクタSELに接続されている。また層間絶縁膜210上には、コンタクトプラグCP3に接続された金属配線層130が形成されている。勿論、金属配線層130と金属配線層220とは分離されている。

#### 【0032】

層間絶縁膜210上には、金属配線層220、130を被覆するようにして、層間絶縁膜230が形成されている。そして、層間絶縁膜230上には金属配線層110が形成されている。金属配線層110は、選択トランジスタSTのゲートのシャント配線として機能するものである。従って、図示せぬ領域に、層間絶縁膜230表面から、選択トランジスタSTのゲート電極170に達するコンタクトホールが形成されている。そして、このコンタクトホールを介して、選択トランジスタSTのゲート電極170と金属配線層110とが電氣的に接続されている。

#### 【0033】

層間絶縁膜230上には、金属配線層110を被覆するようにして、層間絶縁膜240が形成されている。そして、層間絶縁膜240上には金属配線層250が形成されている。金属配線層250は、読み出し用グローバルビット線RGBL0、及び書き込み用グローバルビット線WGBL0、WGBL1として機能するものである。そして、層間絶縁膜240上に、金属配線層250を被覆するようにして層間絶縁膜260が形成されている。

#### 【0034】

次に、上記構成のフラッシュメモリの動作について説明する。

#### <書き込み動作>

データの書き込みは、いずれかのワード線に接続された全てのメモリセルに対

して一括して行われる。そして、メモリセルトランジスタMTのフローティングゲートに電子を注入するか否かで“0”データ、“1”データを書き分ける。電子のフローティングゲートへの注入は、Fowler-Nordheim (FN) tunnelingによって行われる。

#### 【0035】

まず、図1において、図示せぬI/O端子から書き込みデータ(“1”、“0”)が入力され、該書き込みデータがラッチ回路60のそれぞれに入力される。ラッチ回路60に“1”データが格納されると、ラッチ回路60の出力は高電圧側、すなわち0Vとなる。逆に“0”データが格納されると、ラッチ回路60の出力は低電圧側、すなわちVBB(-8V)となる。これらの電圧が、対応する書き込み用グローバルビット線WGBLに与えられる。

#### 【0036】

そして、書き込み用デコーダ30が、ワード線WL0~WL(4m-1)のいずれかを選択すると共に、MOSトランジスタ22をオフ状態にする。選択ワード線には、Vpp(例えば12V)が与えられる。また、セレクトゲートデコーダ50は、セレクトゲート線SG0~SG(4m-1)を“L”レベル(0VまたはVBB)とする。従って、全ての選択トランジスタはオフ状態となる。

#### 【0037】

また、書き込み用デコーダ30は、選択ワード線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ23、26をオン状態にする。その結果、書き込み用グローバルビット線WGBLとローカルビット線LBLとが電氣的に接続される。但し、選択ワード線を含まないメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ23、26はオフ状態とされる。他方、読み出し用デコーダ40は、全てのセクタSEL内のMOSトランジスタ24、25をオフ状態にする。従って、読み出し用グローバルビット線RGBLとローカルビット線LBLとは、電氣的に分離されている。

#### 【0038】

上記の結果、セクタSEL内のMOSトランジスタ23、26を介して、書き込み用グローバルビット線から、選択ワード線を含むメモリセルブロックBL

Kのローカルビット線LBLに、“1”データまたは“0”データに対応する電位が与えられる。この電位は、コンタクトプラグCP2を介してメモリセルトランジスタMTのドレイン領域に与えられる（図3、図5参照）。すると、選択ワード線WLには $V_{pp}$ （12V）が印加され、“1”データを書き込むべきメモリセルMCのドレイン領域には0Vが印加され、“0”データを書き込むべきメモリセルMCのドレイン領域にはVBB（-8V）が印加される。従って、“1”データを書き込むべきメモリセルMCではゲート・ドレイン間の電位差（12V）が十分ではないので、フローティングゲートに電子は注入されず、メモリセルMCは負の閾値を保持する。他方、“0”データを書き込むべきメモリセルMCでは、ゲート・ドレイン間の電位差（20V）が大きいため、フローティングゲートに電子がFN tunnelingによって注入される。その結果、メモリセルの閾値は正に変化する。

#### 【0039】

以上により、メモリセルへの書き込み動作が行われる。図6は、一例として、ワード線WL0に接続されたメモリセルMCにデータを書き込む際の様子を示す回路図である。なお、メモリセルブロックBLKは、ワード線方向にそって8個存在し、ワード線WL0を含む8個のメモリセルブロックBLKを、BLK0～BLK7と呼ぶことにする。また、ワード線WL0に接続されたメモリセルMCを、順にMC0～MC15と呼ぶことにする。

#### 【0040】

図示するように、ラッチ回路60の各々には、対応するメモリセルMC0～MC15に書き込むべきデータが格納される。そして、セクタSELにおけるMOSTランジスタ23、26がオン状態とされることで、書き込み用グローバルビット線WGBL0～WGBL15のそれぞれが、ローカルビット線LBL0、LBL1に接続される。その結果、書き込みデータに対応した電位（0VまたはVBB）が、メモリセルMC0～MC15のドレイン領域に印加される。なお、メモリセルブロックBLK0～BLK7以外のメモリセルブロックは書き込み用グローバルビット線WGBL0～WGBL15から電氣的に分離されているため、書き込み用グローバルビット線WGBL0～WGBL15からは見えない。

## 【0041】

そして、ワード線WL0にV<sub>pp</sub>が印加され、その他のワード線WL1～WL3はGNDとされる。その結果、ワード線WL0に接続されている全てのメモリセルMC0～MC15に、ラッチ回路60に保持されているデータが一括して書き込まれる。

## 【0042】

## &lt;読み出し動作&gt;

データの読み出しにおいては、いずれかのワード線に接続された複数のメモリセルから一括して読み出されることが可能である。そして、データは各ブロック当たり1つのメモリセルMCから読み出される。

## 【0043】

まず図1において、セレクトゲートデコーダ50が、セレクトゲート線SG0～SG(4m-1)のいずれかを選択する。選択セレクトゲート線には、“H”レベル(例えばV<sub>cc</sub>)が与えられる。非選択セレクトゲート線は全て“L”レベル(例えば0V)である。従って、選択セレクトゲート線に接続された選択トランジスタSTはオン状態となり、非選択セレクトゲート線に接続された選択トランジスタSTはオフ状態となる。また書き込み用デコーダ30は、全てのワード線WL0～WL(4m-1)を“L”レベルとすると共に、MOSトランジスタ22をオフ状態とする。また、ソース線ドライバ80は、ソース線の電位を0Vとする。

## 【0044】

また、読み出し用デコーダ40は、選択セレクトゲート線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ24、25のいずれかをオン状態にする。その結果、読み出し用グローバルビット線RGL0～RGL(n-1)と、ローカルビット線LBL0またはLBL1とが電氣的に接続される。但し、選択セレクトゲート線を含まないメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ24、25はオフ状態とする。他方、書き込み用デコーダ30は、全てのセクタSEL内のMOSトランジスタ23、26をオフ状態にする。従って、書き込み用グローバルビット線W

GBLとローカルビット線LBLとは、電氣的に分離されている。更に、読み出し用デコーダ40は、MOSトランジスタ21をオン状態とする。

#### 【0045】

上記の結果、セクタSEL内のMOSトランジスタ24またはMOSトランジスタ25、及び読み出し用グローバルビット線RGBL0～RGBL(n-1)を介して、ローカルビット線LBL0またはLBL1が、センスアンプ70に接続される。

#### 【0046】

そして、読み出し用グローバルビット線RGBL0～RGBL(n-1)に、例えば1V程度が与えられる。すると、“1”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が負であるから、オン状態となる。従って、選択セレクトゲート線に接続されているメモリセルMCでは、読み出し用グローバルビット線RGBLから、ローカルビット線LBL、メモリセルトランジスタMT、及び選択トランジスタSTを介して、ソース線SLに向かって電流が流れる。他方、“0”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が正であるから、オフ状態である。従って、読み出し用グローバルビット線RGBLには電流は流れない。

#### 【0047】

以上のようにして、読み出し用グローバルビット線RGBLの電位が変化し、その変化量をセンスアンプ70が増幅することによって読み出し動作が行われる。図7は、一例として、ワード線WL0及びローカルビット線LBL0に接続されたメモリセルMCからデータを読み出す際の様子を示す回路図である。なお、メモリセルブロックBLKは、ワード線方向にそって8個存在し、ワード線WL0を含む8個のメモリセルブロックBLKを、BLK0～BLK7と呼ぶことにする。また、ワード線WL0及びローカルビット線LBL0に接続されたメモリセルMCを、順にMC0～MC7と呼ぶことにする。

#### 【0048】

図示するように、セクタSELにおけるMOSトランジスタ24がオン状態とされることで、読み出し用グローバルビット線RGBL0～WGBL7のそれ



ぞれが、ローカルビット線 LBL 0 に接続される。そして、読み出し用グローバルビット線 RGBL 0 ～ RGBL 7 に 1 V 程度の電位が与えられる。なお、メモリセルブロック BLK 0 ～ BLK 7 以外のメモリセルブロックは、読み出し用グローバルビット線 RGBL 0 ～ RGBL 7 から電氣的に分離されているため、読み出し用グローバルビット線 RGBL 0 ～ RGBL 7 からは見えない。更に、メモリセルブロック BLK 0 ～ BLK 7 においても、ローカルビット線 LBL 1 は読み出し用グローバルビット線 RGBL 0 ～ RGBL 7 から電氣的に分離されているため、ローカルビット線 LBL 1 に接続されているメモリセル MC は、読み出し用グローバルビット線 RGBL 0 ～ RGBL 7 からは見えない。

#### 【0049】

そして、セレクトゲート線 SG 0 に “H” レベルが与えられ、その他のセレクトゲート線 SG 1 ～ SG 3 は “L” レベルとされる。メモリセル MC 0 ～ MC 7 のうちで、“1” データが書き込まれているものに接続されている読み出し用グローバルビット線 RGBL には電流が流れて電位が低下する。他方、“0” データが書き込まれているメモリセルに接続されている読み出し用グローバルビット線 RGBL には電流が流れず、電位は不変である。その結果、ワード線 WL 0 及びローカルビット線 LBL 0 に接続されている全てのメモリセル MC 0 ～ MC 7 から、データが一括して読み出される。

#### 【0050】

上記の例では、ローカルビット線 LBL 0 に接続されているメモリセルからデータを読み出す場合について説明したが、ローカルビット線 LBL 1 に接続されているメモリセルからデータを読み出す場合には、セクタ SEL 内の MOS トランジスタ 25 をオン状態とし、MOS トランジスタ 24 をオフ状態とすれば良い。

#### 【0051】

##### <消去動作>

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。従って、図 1 の例であると、メモリセルアレイ 20 に含まれる全てのメモリセルが同時に消去される。

## 【0052】

図1において、書き込み用デコーダ30は、全てのワード線WL0～WL(4m-1)の電位をVBB(-8V)とする。また、半導体基板(ウェル領域)の電位はVpp(20V)とされる。その結果、メモリセルMCのメモリセルトランジスタのフローティングゲートから電子がFN tunnelingによって半導体基板に引き抜かれる。その結果、全てのメモリセルMCの閾値電圧が負となり、データが消去される。

## 【0053】

上記のように、この発明の第1の実施形態に係るフラッシュメモリであると、以下の効果が得られる。

## 【0054】

(1) フラッシュメモリの動作速度を向上出来る。

本実施形態に係る構成であると、ビット線がローカルビット線とグローバルビット線(読み出し用グローバルビット線、書き込み用グローバルビット線)とに階層化されている。すなわち、複数のローカルビット線の各々に複数のメモリセルが接続され、複数のグローバルビット線の各々に複数のローカルビット線が接続されている。図1の例であると、1本の書き込み用グローバルビット線WGBLに、セクタSELを介して(m-1)本のローカルビット線LBL0またはLBL1が接続されている。そして(m-1)本のローカルビット線LBLの各々に、4つのメモリセルが接続されている。また、1本の読み出し用グローバルビット線RGBLにはセクタSELを介して2(m-1)本のローカルビット線LBL0、LBL1が接続されている。そして、2(m-1)本のローカルビット線LBL0、LBL1の各々に、4つのメモリセルが接続されている。

## 【0055】

書き込み時においては、選択メモリセルが接続されたローカルビット線LBLだけが、書き込み用グローバルビット線WGBLに接続される、選択メモリセルが接続されないローカルビット線LBLは、セクタSELによって書き込み用グローバルビット線WGBLから電氣的に分離されている。従って、図6を用いて説明したように、1本の書き込み用グローバルビット線WGBLから見えるの

は、選択メモリセルを含む4つのメモリセルだけである。選択メモリセルと同一列にあり、且つ異なるローカルビット線L B Lに接続された非選択メモリセルは、その全てが書き込み用グローバルビット線W G B Lからは見えない。例えば、図1において、メモリセルアレイ20が1列あたり8個メモリセルブロックB L Kを含んでいたと仮定する。もし、ビット線が階層化されずに、同一列のローカルビット線が全て共通接続されてラッチ回路に接続されていたとすれば、ローカルビット線から見えるメモリセル数は、1つのメモリセルブロック当たり4個であるから、トータルで(4個×8個)=32個である。しかし、本実施形態では、グローバルビット線に接続されるのは8個のメモリセルブロックB L Kのうちの1個だけである。すなわち、グローバルビット線から見えるメモリセル数は4個だけであり、前述の場合の1/8の個数である。すなわち、これらの4個のメモリセルM Cだけが、書き込み用グローバルビット線W G B Lに存在する寄生容量の要因となる。選択メモリセルと同一列にあり、且つ異なるローカルビット線L B Lに接続された非選択メモリセルは、書き込み用グローバルビット線の寄生容量の原因とはならない。従って、書き込み用グローバルビット線の寄生容量を大幅に削減することが出来る。

#### 【0056】

読み出し時においても同様である。読み出し時においても、選択メモリセルが接続されたローカルビット線L B Lだけが、読み出し用グローバルビット線R G B Lに接続され、選択メモリセルが接続されないローカルビット線L B Lは、セレクトタによって読み出し用グローバルビット線R G B Lから電氣的に分離されている。更に、実際に読み出し用グローバルビット線R G B Lに接続されるのは、1つのメモリセルブロックB L Kに存在する2本のローカルビット線L B L 0、L B L 1のうちのいずれか1本だけである。従って、図7を用いて説明したように、1本の読み出し用グローバルビット線R G B Lから見えるのは、選択メモリセルを含む4つのメモリセルだけである。選択メモリセルと同一列にあり、且つ異なるローカルビット線L B Lに接続された非選択メモリセルは、その全てが読み出し用グローバルビット線R G B Lからは見えない。また、1つのメモリセルブロック内において、選択メモリセルが接続されている2本ローカルビット線のう

ちのいずれか1本に接続されたメモリセルMCも、読み出し用グローバルビット線からは見えない。例えば、書き込み時について説明したように、図1において、メモリセルアレイ20が1列あたり8個メモリセルブロックBLKを含んでいたと仮定する。もし、同一行のローカルビット線が全て共通接続されてセンスアンプに接続されていたとすれば、ローカルビット線から見えるメモリセル数は、1つのメモリセルブロック当たり4個であるから、トータルで(4個×8個)=32個である。しかし、本実施形態では、グローバルビット線に接続されるのは8個のメモリセルブロックBLKのうちの1個だけである。すなわち、グローバルビット線から見えるメモリセル数は4個だけであり、前述の場合の1/8の個数である。すなわち、読み出し用グローバルビット線RGBLの寄生容量を、1/8とすることが出来る。従って、読み出し用グローバルビット線の寄生容量を大幅に低減することが出来る。

#### 【0057】

また、図4、図5に示すように、書き込み用グローバルビット線WGBL及び読み出し用グローバルビット線RGBLは、最も高レベルに位置する金属配線層250によって形成されている。すなわち、金属配線層250より上のレベルには、もはや金属配線層は存在しない。従って、書き込み用グローバルビット線WGBL及び読み出し用グローバルビット線RGBLの寄生容量を低減できる。

#### 【0058】

上記のように、書き込み用グローバルビット線及び読み出し用グローバルビット線の寄生容量を削減できる結果、フラッシュメモリの動作速度を向上できる。

#### 【0059】

(2) 読み出し速度を向上できる。

フラッシュメモリにおいては、書き込み時には、“0”書き込みの際の例えば-8V等、比較的高い電圧を取り扱う必要がある。この要求を満たすには、ゲート絶縁膜の厚い、高耐圧のMOSトランジスタを使わなくてはならない。他方、読み出しの際に扱われる電圧は、書き込み時に比べて低い。従って、読み出し動作のことだけを考えれば、ゲート絶縁膜の薄い低耐圧のMOSトランジスタを使用出来る。そして、動作速度の観点からは、低耐圧のMOSトランジスタを用い

ることが望ましい。

#### 【0060】

この点、本実施形態に係る構成であると、ローカルビット線が書き込み用グローバルビット線と読み出し用グローバルビット線とに接続されている。そして、メモリセルは、書き込み用グローバルビット線を介してラッチ回路60に接続され、読み出し用グローバルビット線を介してセンスアンプ70に接続されている。すなわち、書き込み時の信号経路と、読み出し時の信号経路とが異なっている。従って、読み出し時の信号経路においては、書き込み時に使用する高電圧対策を考慮する必要がない。従って、読み出し時の経路には、低耐圧のMOSトランジスタ（例えばMOSトランジスタ21）が使用できる。従って、読み出し動作速度を向上できる。

#### 【0061】

（3）書き込み動作の信頼性を向上できる。

上記（1）で説明したように、ビット線が階層化されている。特に書き込み経路について着目すれば、1本の書き込み用グローバルビット線に複数のローカルビット線が接続されている。そして、書き込み時には、選択メモリセルを含む1本のローカルビット線だけが書き込み用グローバルビット線に電氣的に接続され、その他のローカルビット線は書き込み用グローバルビット線から電氣的に分離される。従って、選択メモリセルが接続されないローカルビット線には、ラッチ回路からの書き込みデータに応じた電圧は印加されない。従って、これらのローカルビット線に接続されているメモリセルへの誤書き込みの発生を効果的に防止出来、書き込み動作の信頼性を向上できる。

#### 【0062】

例えば図1の例で説明すると、書き込み時ににおいて、ワード線WL0に接続されたメモリセルMCが選択されたと仮定する。すると、ワード線WL0を含むメモリセルブロックBLKのみが、書き込み用グローバルビット線WGBL0～WGBL(2n-1)に、セクタSELによって接続される。そして、ワード線WL0を含まないその他のメモリセルブロックBLKは、書き込み用グローバルビット線WGBL0～WGBL(2n-1)から、セクタSELによって分離

される。すると、ワード線WL0を含まないメモリセルブロックBLK内のメモリセルMCには、書き込みデータに応じた電圧が印加されないので、誤書き込みが発生し難い。

#### 【0063】

(4) 読み出し動作の信頼性を向上出来る。

従来のフラッシュメモリであると、メモリセルのソースは不純物拡散層によって形成されるのが一般的である。しかし本実施形態に係る構成であると、図4、図5で説明したように、ソース線SLを金属配線層200によって形成している。そのため、ソース線の配線抵抗を大幅に低減できる。従って、読み出し時においてメモリセルに流す電流量を大きくすることが出来、その結果、読み出し動作の信頼性を向上できる。

#### 【0064】

次に、この発明の第2の実施形態に係る不揮発性半導体記憶装置について図8を用いて説明する。本実施形態は、上記第1の実施形態において、1つのメモリセルブロックBLKが(4×4)個のメモリセルMCを含んでいる。図8は、本実施形態に係るフラッシュメモリの、メモリセルブロックBLK及びセクタSELの回路図である。本実施形態に係るフラッシュメモリは、図1に示す構成において、メモリセルブロックBLK及びセクタSELの構成を図8に示す構成に置き換えた以外は同じである。従って、メモリセルブロックBLK及びセクタSEL以外の構成の説明は省略する。

#### 【0065】

図示するように、上記第1の実施形態では1つのメモリセルブロックBLKに含まれるメモリセルMCが2列であったのに対し、本実施形態では4列のメモリセル群が含まれている。すなわち、1つのメモリセルブロックBLK当たり、(4×4)個のメモリセルMCが含まれている。そして、4列のメモリセルのメモリセルトランジスタMTのドレイン領域は、4本のローカルビット線LBL0～LBL3にそれぞれ接続されている。ローカルビット線LBL0～LBL3の一端はセクタSELに接続され、他端はMOSトランジスタ22の電流経路を介して書き込み用デコーダ30に接続されている。なお、ローカルビット線LBL

0、LBL 2 に接続されている MOS トランジスタ 22 のゲートは共通接続され、ローカルビット線 LBL 1、LBL 3 に接続されている MOS トランジスタ 22 のゲートは共通接続されている。更に、同一行のメモリセルトランジスタ MT のコントロールゲートはワード線 WL 0 ~ WL 3 のいずれかに共通接続され、同一行の選択トランジスタ ST のゲートはセレクトゲート線 SG 0 ~ SG 3 のいずれかに共通接続されている。また、選択トランジスタ ST のソース領域は、全てのメモリセル MC 間で共通接続されている。

#### 【0066】

次にセクタ SEL の構成について説明する。セクタ SEL はメモリセルブロック BLK 毎に設けられ、8 つの MOS トランジスタ 23-1 ~ 26-1、23-2 ~ 26-2 を備えている。そして、4 つの MOS トランジスタ 23-1、24-1、25-2、26-2 及び MOS トランジスタ 23-2、24-2、25-1、26-1 がそれぞれ直列接続されている。すなわち、MOS トランジスタ 23-1 の電流経路の一端が MOS トランジスタ 24-1 の電流経路の一端に接続され、MOS トランジスタ 24-1 の電流経路の他端が MOS トランジスタ 25-2 の電流経路の一端に接続され、MOS トランジスタ 25-2 の電流経路の他端が MOS トランジスタ 26-2 の電流経路の一端に接続されている。また、MOS トランジスタ 23-2 の電流経路の一端が MOS トランジスタ 24-2 の電流経路の一端に接続され、MOS トランジスタ 24-2 の電流経路の他端が MOS トランジスタ 25-1 の電流経路の一端に接続され、MOS トランジスタ 25-1 の電流経路の他端が MOS トランジスタ 26-1 の電流経路の一端に接続されている。MOS トランジスタ 23-1、23-2、26-1、26-2 のゲートは、書き込み用デコーダ 30 に接続され、MOS トランジスタ 24-1、24-2、25-1、25-2 のゲートは、読み出し用デコーダ 40 に接続されている。そして、MOS トランジスタ 23-1 と MOS トランジスタ 24-1 との接続ノードにローカルビット線 LBL 0 が接続され、MOS トランジスタ 23-2 と MOS トランジスタ 24-2 との接続ノードにローカルビット線 LBL 1 が接続され、MOS トランジスタ 25-1 と MOS トランジスタ 26-1 との接続ノードにローカルビット線 LBL 2 が接続され、MOS トランジスタ 25-2

とMOSトランジスタ26-2との接続ノードにローカルビット線LBL3が接続されている。更に、MOSトランジスタ23-1、23-2の他端は書き込み用グローバルビット線WGBL0に接続され、MOSトランジスタ26-1、26-2の他端は、書き込み用グローバルビット線WGBL1に接続されている。書き込み用グローバルビット線WGBL0、WGBL1の各々は、同一列にあるセクタSELのMOSトランジスタ23-1、23-2及びMOSトランジスタ26-1、26-2の電流経路の他端を共通接続する。そして、書き込み用グローバルビット線WGBL0、WGBL1の一端は、それぞれラッチ回路60に接続されている。また、MOSトランジスタ24-1とMOSトランジスタ25-2との接続ノード、及びMOSトランジスタ24-2とMOSトランジスタ25-1との接続ノードには、読み出し用グローバルビット線RGBL0が接続されている。読み出し用グローバルビット線RGBL0は、同一列にあるセクタSELのMOSトランジスタ24-1とMOSトランジスタ25-2との接続ノード、及びMOSトランジスタ24-2とMOSトランジスタ25-1との接続ノードを共通接続する。そして、読み出し用グローバルビット線RGBL0の一端は、MOSトランジスタ21を介してセンスアンプ70に接続されている。MOSトランジスタ21のゲート、読み出し用デコーダ40に接続されている。

#### 【0067】

上記構成のメモリセルブロックBLK及びセクタSELが、上記第1の実施形態で説明したように、メモリセルアレイ20内においてマトリクス状に配置されている。

#### 【0068】

本実施形態に係るメモリセルアレイ20の構成は、次のようにも説明できる。すなわち、メモリセルアレイ20内には、複数のメモリセルMCがマトリクス状に配置されている。同一行にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線に共通接続され、同一行にあるメモリセルの選択トランジスタのゲートは、セレクトゲート線に接続されている。そして、同一列にあり、直列接続された4つのメモリセルMCのメモリセルトランジスタMTのドレインは、ローカルビット線LBL0～LBL3のいずれかに共通接続されている。



。すなわち、メモリセルアレイ 20 内の複数のメモリセル MC は、一列に並んだ 4 つのメモリセル MC 毎に、異なるローカルビット線  $LBL_0 \sim LBL_3$  のいずれかに接続されている。そして、同一行にあるローカルビット線  $LBL_0 \sim LBL_3$  の一端は、MOS トランジスタ 22 を介して共通接続され、書き込み用デコーダ 30 に接続されている。また、同一列にあるローカルビット線  $LBL_0$  及び同一列にあるローカルビット線  $LBL_1$  の他端は、それぞれ MOS トランジスタ 23-1、23-2 を介して、同一の書き込み用グローバルビット線  $WGBL_0 \sim WGBL_{(2n-1)}$  のいずれかに共通接続されており、且つそれぞれ MOS トランジスタ 24-1、24-2 を介して、同一の読み出し用グローバルビット線  $RGBL_0 \sim RGBL_{(n-1)}$  のいずれかに共通接続されている。更に、同一列にあるローカルビット線  $LBL_2$  及び同一列にあるローカルビット線  $LBL_3$  の他端は、それぞれ MOS トランジスタ 26-1、26-2 を介して、同一の書き込み用グローバルビット線  $WGBL_0 \sim WGBL_{(2n-1)}$  のいずれかに共通接続されており、且つそれぞれ MOS トランジスタ 25-1、25-2 を介して、同一の読み出し用グローバルビット線  $RGBL_0 \sim RGBL_{(n-1)}$  のいずれかに共通接続されている。そして、メモリセル MC の選択トランジスタ ST のソースは共通接続され、ソース線ドライバに接続されている。上記構成のメモリセルアレイにおいて、同一のローカルビット線に接続された 4 つのメモリセル MC が 4 列集まって、1 つのメモリセルブロック BLK が構成されている。同一列のメモリセルブロックは、共通の書き込み用グローバルビット線及び読み出し用グローバルビット線に接続されている。他方、互いに異なる列にあるメモリセルブロックは、それぞれ異なる書き込み用グローバルビット線及び読み出し用グローバルビット線に接続されている。

#### 【0069】

次に、図 8 に示すメモリセルブロックの平面パターンについて説明する。図 9 は、図 8 のメモリセルブロック BLK の平面図である。

#### 【0070】

図示するように、本実施形態に係るフラッシュメモリの備えるメモリセルブロック BLK の平面パターンは、書き込み用グローバルビット線及び読み出し用グ

ローカルビット線の本数を変えずに、上記第1の実施形態で説明した図3の平面パターンを横に2パターン並べた形状を有する。従って、ここでは簡単に説明する。すなわち、第1方向に沿ったストライプ形状の素子領域AAが、第1方向に沿って4本並んでいる。そして、4本の素子領域AAを跨ぐようにして、第2方向に沿ったストライプ形状のワード線WL0～WL3及びセレクトゲート線SG0～SG3が形成されている。勿論、これらのワード線WL0～WL3及びセレクトゲート線SG0～SG3は、第2方向で隣接する複数のメモリセルブロック（図示せず）間で共通接続されている。

#### 【0071】

そして、隣接する2本のセレクトゲート線SG0、SG1、及びSG2、SG3上には、第2方向に沿ったストライプ形状のソース線SL0、SL1が形成されている。また、素子領域AAとはほぼオーバーラップするようにして、第1方向に沿ったストライプ形状の4本のローカルビット線LBL0～LBL3が形成されている。ローカルビット線LBL0～LBL3の一端は、当該メモリセルブロックBLKに対応するセクタSELに接続されている。そして、各メモリセルトランジスタMTのドレイン領域とコンタクトプラグCP2を介して接続されている。また、各セレクトゲート線SG0～SG3の直上の領域には、第2方向に沿ったストライプ形状の金属配線層110が形成されている。この金属配線層110は、セレクトゲート線SG0～SG3のシャント配線として機能する。更に、対応するセクタSELから最も遠い位置には、MOSトランジスタ21の2本のゲート電極120-1、120-2が、第2方向に沿ったストライプ形状に形成されている。各素子領域AAにおいては2本のゲート電極120-1、120-2のうち、いずれか一方だけが実質的なゲート電極として機能し、他方は単なる素子領域AA上の通過配線である。そして、ローカルビット線LBL0、LBL2に接続される素子領域AAにおいては、ゲート電極120-1が実質的なゲート電極として機能し、ローカルビット線LBL1、LBL3に接続される素子領域AAにおいては、ゲート電極120-2が実質的なゲート電極として機能する。そして、4つのMOSトランジスタ21のソース領域は、コンタクトプラグCP3によって金属配線層130に接続されている。更に、上記の配線よりも

上層のレベルに、第1の方向に沿ったストライプ形状の3本の金属配線層が形成されている。これら3本の金属配線層は、2本の書き込み用グローバルビット線WGBL0、WGBL1及び書き込み用グローバルビット線に扶まれた読み出し用グローバルビット線RGBL0である。

#### 【0072】

次に、上記メモリセルブロックBLKの断面構造について説明する。図9において、Y2-Y2'線に沿った方向の断面構造は、図5においてゲート電極120が2本ある以外は同一であるので説明を省略する。図10は、図9におけるX2-X2'線方向に沿った断面図である。

#### 【0073】

図示するように、本実施形態に係るフラッシュメモリのメモリセルブロックの断面構造は、上記第1の実施形態において、図4に示す構造を横方向に2パターン並べた構造を有する。すなわち、半導体基板100中には、素子分離領域STIが形成され、素子分離領域STIによって周囲を取り囲まれた4つの素子領域AAが形成されている。4つの素子領域AA上には、それぞれゲート絶縁膜140を介在して多結晶シリコン層150が形成され、多結晶シリコン層150上にはゲート間絶縁膜160を介在して多結晶シリコン層170が形成されている。前述の通り、多結晶シリコン層150、170は、メモリセルトランジスタMTにおいてはそれぞれフローティングゲート及びコントロールゲートとして機能し、且つ選択トランジスタにおけるゲート電極として機能する。

#### 【0074】

そして、半導体基板100上には、メモリセルトランジスタの積層ゲート及び選択トランジスタのゲート電極を被覆するようにして層間絶縁膜190が形成されている。層間絶縁膜190上には、ソース線SLとして機能する金属配線層200が形成され、また層間絶縁膜210が形成されている。層間絶縁膜210上には、ローカルビット線LBL0~LBL3として機能する4本の金属配線層220が形成されている。そして、層間絶縁膜210上に、4本の金属配線層220を被覆するようにして層間絶縁膜230が形成されている。層間絶縁膜230上には、セレクトゲート線SGのシャント配線として機能する金属配線層110

が形成されている。また層間絶縁膜 230 上には、金属配線層 110 を被覆するようにして層間絶縁膜 240 が形成されている。層間絶縁膜 240 上には、3本の金属配線層 250 が形成されている。これらの金属配線層 250 は、それぞれ書き込み用グローバルビット線 WGBL0、WGBL1 及び読み出し用グローバルビット線 RGBL0 として機能するものである。そして、層間絶縁膜 240 上に、金属配線層 250 を被覆するようにして層間絶縁膜 260 が形成されている。

#### 【0075】

次に、上記構成のフラッシュメモリの動作について説明する。

##### <書き込み動作>

データの書き込みは、同一行にある全てのメモリセルブロックに対して一括して行われる。但し、各メモリセルブロック内において、同時に書き込まれるメモリセルは、ローカルビット線 LBL0、LBL1 のいずれかに接続されたメモリセルと、ローカルビット線 LBL2、LBL3 のいずれかに接続されたメモリセルの2つである。第1の実施形態と同様、電子のフローティングゲートへの注入は、FN tunnelingによって行われる。

#### 【0076】

まず、第1の実施形態と同様に、書き込みデータに応じた電圧が、書き込み用グローバルビット線 WGBL の各々に与えられる。また、書き込み用デコーダ 30 が、いずれかのワード線を選択すると共に、MOS トランジスタ 22 をオフ状態とする。また、セレクトゲートデコーダ 50 は、全セレクトゲート線を非選択とする。

#### 【0077】

そして、書き込み用デコーダ 30 は、選択ワード線を含むメモリセルブロック BLK に対応するセクタ SEL 内の MOS トランジスタ 23-1、23-2 のいずれか、及び 26-1、26-2 のいずれかをオン状態にする。その結果、書き込み用グローバルビット線 WGBL と、ローカルビット線 LBL0、LBL1 のいずれか及びローカルビット線 LBL2、LBL3 のいずれかとが電氣的に接続される。但し、選択ワード線を含まないメモリセルブロック BLK に対応する

セクタSEL内のMOSトランジスタ23-1、23-2、26-1、26-2はオフ状態とされる。他方、読み出し用デコーダ40は、全てのセクタSEL内のMOSトランジスタ24-1、24-2、25-1、25-2をオフ状態にする。従って、読み出し用グローバルビット線RGBLとローカルビット線LBL0～LBL3とは、電氣的に分離されている。

#### 【0078】

上記の結果、セクタSEL内のMOSトランジスタ23-1または23-2を介して、書き込み用グローバルビット線から、選択ワード線を含むメモリセルブロックBLKのローカルビット線LBL0またはLBL1に、“1”データまたは“0”データに対応する電圧が与えられる。更に、MOSトランジスタ26-1または26-2を介して、書き込み用グローバルビット線から、選択ワード線を含むメモリセルブロックBLKのローカルビット線LBL2またはLBL3に、“1”データまたは“0”データに対応する電位が与えられる。

#### 【0079】

その結果、上記第1の実施形態で説明したように、選択ワード線に接続され、且つローカルビット線LBL0またはLBL1、及びローカルビット線LBL2またはLBL3に接続されたメモリセルにデータが書き込まれる。

#### 【0080】

##### <読み出し動作>

データの読み出しは、上記第1の実施形態と同様に、いずれかのワード線に接続された複数のメモリセルから一括して読み出され、各ブロック当たり1つのメモリセルMCから読み出される。

#### 【0081】

まず、第1の実施形態と同様に、セレクトゲートデコーダ50が、いずれかのセレクトゲート線SGを選択（“H”レベル）する。また、書き込み用デコーダ30は、全てのワード線WLを非選択（“L”レベル）とすると共に、MOSトランジスタ22をオフ状態とする。更に、ソース線ドライバ80は、ソース線の電位を0Vとする。

#### 【0082】

そして、読み出し用デコーダ40は、選択セレクトゲート線を含むメモリセルブロックBLKに対応するセクタSEL内の4つのMOSトランジスタ24-1、24-2、25-1、25-2のうちのいずれか1つをオン状態にする。その結果、読み出し用グローバルビット線RGBLと、ローカルビット線LBL0～LBL3のいずれか1本とが電氣的に接続される。但し、選択セレクトゲート線を含まないメモリセルブロックBLKに対応するセクタSEL内の4つのMOSトランジスタ24-1、24-2、25-1、25-2の全てはオフ状態とされる。他方、書き込み用デコーダ30は、全てのセクタSEL内の4つのMOSトランジスタ23-1、23-2、26-1、26-2の全てをオフ状態にする。従って、書き込み用グローバルビット線WGBLとローカルビット線LBL0～LBL3とは、電氣的に分離されている。更に、読み出し用デコーダ40は、MOSトランジスタ21をオン状態とする。

#### 【0083】

上記の結果、1つのメモリセルブロック当たり、ローカルビット線LBL0～LBL3のいずれか1本に接続されたメモリセルが、MOSトランジスタ24-1、24-2、25-1、25-2のいずれか、及び読み出し用グローバルビット線を介してセンスアンプ70に接続される。

#### 【0084】

その後は上記第1の実施形態と同様に、読み出し用グローバルビット線RGBLの電位変化をセンスアンプ70が増幅することによって、データの読み出しが行われる。

#### 【0085】

<消去動作>

消去動作は、上記第1の実施形態と全く同様であるので説明は省略する。

#### 【0086】

上記のように、この発明の第2の実施形態に係るフラッシュメモリであると、第1の実施形態と同様に、(1)乃至(4)の効果が得られる。

#### 【0087】

すなわち、本実施形態に係る構成であると、メモリセルブロック内において、

1本のローカルビット線に複数のメモリセルが接続され、1つのメモリセルブロックは4本のローカルビット線を含んでいる。そして、1つのメモリセルブロック当たり2本のローカルビット線が、1本の書き込み用グローバルビット線に接続されている。また、1つのメモリセルブロック当たり4本のローカルビット線が、1本の読み出し用グローバルビット線に接続されている。

#### 【0088】

そして、書き込み時には、1本の書き込み用グローバルビット線には1つのメモリセルブロックだけが電氣的に接続される。そして、該メモリセルブロック内の2本のローカルビット線のうちの1本だけが書き込み用グローバルビット線に電氣的に接続される。また、読み出し時には、1本の読み出し用グローバルビット線には1つのメモリセルブロックだけが電氣的に接続される。そして、該メモリセルブロック内の4本のローカルビット線のうちの1本だけが読み出し用グローバルビット線に電氣的に接続される。

#### 【0089】

このように、本実施形態においても、第1の実施形態と同様にビット線を階層化している。更に、図10に示すように、書き込み用グローバルビット線及び読み出し用グローバルビット線は、最も高いレベルに位置する金属配線層250によって形成されている。

#### 【0090】

以上の結果、(1)フラッシュメモリの動作速度を向上出来る、という効果が得られる。

#### 【0091】

また、上記のようにビット線を階層化することで、(3)書き込み動作の信頼性を向上できる、という効果が得られる。

#### 【0092】

(2)、(4)の効果は、上記第1の実施形態で説明したとおりである。

#### 【0093】

更に本実施形態であると、下記(5)の効果を併せて得られる。

(5)フラッシュメモリの製造方法を容易に出来る。

第1の実施形態であると、図3、図4を用いて説明したように、1つのメモリセルブロックBLK当たりの金属配線層250の本数は3本である。そして、1つのメモリセルブロックBLKには、2列のメモリセル群が含まれる。従って、2列のメモリセル群が形成される面積内に、3本の金属配線層250が形成される。

#### 【0094】

しかし本実施形態であると、1つのメモリセルブロックBLKには4列のメモリセル群が含まれる。従って、図9、図10に示されるように、4列のメモリセル群が形成される面積内に、3本の金属配線層250が形成される。すなわち、金属配線層250は、第1の実施形態に係る構成の2倍の面積内に配置される。換言すれば、金属配線層250の配線余裕が2倍となる。従って、金属配線層250のパターニングが容易となり、フラッシュメモリの製造が簡便となる。

#### 【0095】

更に、配線余裕が2倍になるため、隣接する金属配線層250を確実に分離することが出来、製造歩留まりの向上に寄与する。

#### 【0096】

次に、この発明の第3の実施形態に係る不揮発性半導体記憶装置について、図11を用いて説明する。本実施形態は、上記第1の実施形態において、書き込み用グローバルビット線と読み出し用グローバルビット線とを共通にしたものである。図11は、本実施形態に係るフラッシュメモリの備えるメモリセルブロックBLK及びセクタSELの回路図である。本実施形態に係るフラッシュメモリは、図1に示す構成において、メモリセルブロックBLK及びセクタSELの構成を図11に示す構成に置き換えた以外は同じである。

#### 【0097】

図示するように、メモリセルブロックBLKの構成は、上記第1の実施形態に係る構成と同様である。すなわち、1個のメモリセルブロックBLK当たり2列のメモリセル群を含んでいる。

#### 【0098】

セクタSELは、4つのMOSトランジスタ300～330を含んでいる。



図示するように、MOSトランジスタ300、310は、ローカルビット線LBL0とLBL1との間に直列接続されている。すなわち、MOSトランジスタ300の電流経路の一端がローカルビット線LBL0に接続され、他端がMOSトランジスタ310の電流経路の一端に接続されている。また、MOSトランジスタ310の他端がローカルビット線LBL1に接続されている。そして、MOSトランジスタ300、310のゲートは読み出し用デコーダ40に接続されている。更に、MOSトランジスタ300、310の接続ノードは、グローバルビット線GBL0～GBL(n-1)のいずれかに接続されている。グローバルビット線GBL0～GBL(n-1)のそれぞれは、同一列にあるセクタSELのMOSトランジスタ300、310の接続ノードを共通接続する。そして、グローバルビット線GBL0～GBL(n-1)の各々の一端はラッチ回路60に接続され、他端はMOSトランジスタ21を介してセンスアンプ70に接続されている。グローバルビット線GBL0～GBL(n-1)毎に設けられた各MOSトランジスタ21のゲートは共通接続され、読み出し用デコーダ40に接続されている。

#### 【0099】

また、MOSトランジスタ320、330の電流経路の一端は、それぞれローカルビット線LBL0、LBL1に接続され、他端は互いに共通接続されて書き込み用デコーダ30に接続されている。またMOSトランジスタ320、330のゲートは、それぞれ独立しており、書き込み用デコーダ30に接続されている。

#### 【0100】

すなわち、メモリセルアレイ20内の複数のメモリセルMCは、一列に並んだ4つのメモリセルMC毎に、異なるローカルビット線に接続されている。そして、同一行にあるローカルビット線の一端は、MOSトランジスタ22を介して共通接続され、書き込み用デコーダ30に接続されている。また、同一列にあるローカルビット線LBL0、LBL1の他端は、それぞれMOSトランジスタ300、310を介してグローバルビット線GBL0～GBL(n-1)のいずれかに共通接続されており、且つそれぞれMOSトランジスタ320、330を介し

て書き込み用デコーダ30に接続されている。そして、同一のローカルビット線に接続された4つのメモリセルMCが2列集まって、1つのメモリセルブロックBLKが構成されている。同一列のメモリセルブロックは、共通のグローバルビット線GBLに接続され、互いに異なる列にあるメモリセルブロックは、それぞれ異なるグローバルビット線GBLに接続されている。

#### 【0101】

書き込み用デコーダ30は、書き込み時において、ワード線WL0～WL(4m-1)のいずれかを選択する。また、セクタSEL内のMOSトランジスタ320、330のいずれかを選択すると共に、MOSトランジスタ320、330の電流経路の他端の電位を0Vとする。更に、MOSトランジスタ22のゲート、及び複数のローカルビット線の共通接続ノードに電圧を供給する。

#### 【0102】

読み出し用デコーダ40は、書き込み時及び読み出し時において、セクタSEL内のMOSトランジスタ300、310のいずれかを選択し、選択したMOSトランジスタのゲートに電圧を供給する。また、MOSトランジスタ21のゲートに電位を供給する。

#### 【0103】

その他の構成は、第1の実施形態と同様であるので説明は省略する。また、メモリセルブロックBLKの平面パターン及び断面構造は、図3乃至図5において、2本の書き込み用グローバルビット線WGBLを廃し、読み出し用グローバルビット線RGBLをグローバルビット線GBLに置き換えたパターン及び構造となる。従って、これらの説明も省略する。

#### 【0104】

次に、上記構成のフラッシュメモリの動作について説明する。

#### <書き込み動作>

データの書き込みは、第1の実施形態と同様に、同一行にあるメモリセルブロックに対して一括して行われる。但し、各メモリセルブロック内において、同時に書き込まれるメモリセルは、ローカルビット線LBL0、LBL1のいずれかに接続されたメモリセルだけである。また電子のフローティングゲートへの注入

は、FN tunnelingによって行われる。

【0105】

まず、第1の実施形態と同様に、書き込みデータに応じた電圧が、グローバルビット線GBLの各々に与えられる。また、書き込み用デコーダ30が、いずれかのワード線を選択すると共に、MOSトランジスタ22をオフ状態とする。また、セレクトゲートデコーダ50が、全セレクトゲート線を非選択とする。更に、読み出し用デコーダ40が、MOSトランジスタ21をオフ状態とする。

【0106】

そして、読み出し用デコーダ40は、選択ワード線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ300、310のいずれかをオン状態にする。その結果、グローバルビット線GBLと、ローカルビット線LBL0、LBL1のいずれかが電氣的に接続される。但し、選択ワード線を含まないメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ300、310はオフ状態とされる。

【0107】

また、書き込み用デコーダ30は、選択用ワード線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ320、330のいずれかをオン状態にする。MOSトランジスタ300がオン状態にされているときは、MOSトランジスタ330がオン状態とされ、MOSトランジスタ320がオフ状態とされる。他方、MOSトランジスタ310がオン状態とされているときは、MOSトランジスタ320がオン状態とされ、MOSトランジスタ330がオフ状態とされる。そして、書き込み用デコーダ30は、MOSトランジスタ320、330の接続ノードに0Vを与える。すなわち、グローバルビット線GBLに接続されないローカルビット線が、MOSトランジスタ320または330によって、書き込み用デコーダに接続される。そして、当該ローカルビット線に0Vが与えられる。

【0108】

上記の結果、セクタSEL内のMOSトランジスタ300または310を介して、グローバルビット線GBLから、選択ワード線を含むメモリセルブロック

BLKのローカルビット線LBL0またはLBL1に、“1”データまたは“0”データに対応する電圧が与えられる。その結果、上記第1の実施形態で説明したように、選択ワード線に接続され、且つローカルビット線LBL0またはLBL1に接続されたメモリセルにデータが書き込まれる。

#### 【0109】

図12は、一例として、ワード線WL0に接続されたメモリセルMCにデータを書き込む際の様子を示す回路図である。なお、メモリセルブロックBLKは、ワード線方向にそって8個存在し、ワード線WL0を含む8個のメモリセルブロックBLKを、BLK0～BLK7と呼ぶことにする。また、ワード線WL0に接続され、且つローカルビット線LBL0に接続されたメモリセルMCを、順にMC0～MC7と呼ぶことにする。更にワード線WL0に接続され、且つローカルビット線LBL1に接続されたメモリセルMCを、順にMC0'～MC7'と呼ぶことにする。そして、ローカルビット線LBL0に接続されたメモリセルMC0～MC7にデータを書き込む場合について説明する。

#### 【0110】

図示するように、ラッチ回路60の各々には、対応するメモリセルMC0～MC7に書き込むべきデータが格納される。そして、セクタSELにおけるMOSトランジスタ300がオン状態とされることで、グローバルビット線GBL0～GBL7のそれぞれが、ローカルビット線LBL0に接続される。その結果、書き込みデータに対応した電位（0VまたはVBB）が、メモリセルMC0～MC7のドレイン領域に印加される。なお、メモリセルブロックBLK0～BLK7以外のメモリセルブロックは、グローバルビット線GBL0～GBL7から電氣的に分離されているため、グローバルビット線GBL0～GBL7からは見えない。また、メモリセルブロックBLK0～BLK7においても、MOSトランジスタ310がオフ状態とされているため、ローカルビット線LBL1に接続されているメモリセルは、グローバルビット線GBL0～GBL7からは見えない。

#### 【0111】

そして、ワード線WL0にV<sub>pp</sub>が印加され、その他のワード線WL1～WL3はGNDとされる。その結果、ワード線WL0及びローカルビット線LBL0に

接続されている全てのメモリセルMC0～MC7に、ラッチ回路60に保持されているデータが一括して書き込まれる。

#### 【0112】

この際、メモリセルブロックBLK0～BLK7におけるローカルビット線LBL1には、MOSトランジスタ330を介して書き込み用デコーダ30から0Vが与えられている。従って、ローカルビット線LBL1に接続されているメモリセルMC0'～MC7'には電子が注入されない。すなわち、データが書き込まれない。勿論、ワード線WL1～WL3は非選択であるので、メモリセルMC0'～MC7'以外のローカルビット線LBL1に接続されているメモリセルにもデータは書き込まれない。

#### 【0113】

##### <読み出し動作>

データの読み出しは、上記第1の実施形態と同様に、いずれかのワード線に接続された複数のメモリセルから一括して読み出され、各ブロック当たり1つのメモリセルMCから読み出される。

#### 【0114】

まず、第1の実施形態と同様に、セレクトゲートデコーダ50が、いずれかのセレクトゲート線SGを選択する。また、書き込み用デコーダ30は、全てのワード線WLを非選択とすると共に、MOSトランジスタ22をオフ状態とする。更に、ソース線ドライバ80は、ソース線の電位を0Vとする。

#### 【0115】

そして、読み出し用デコーダ40は、選択セレクトゲート線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ300、または310のいずれかオン状態とする。ローカルビット線LBL0に接続されているメモリセルからデータを読み出す際には、MOSトランジスタ300をオン状態とし、MOSトランジスタ310をオフ状態とする。他方、ローカルビット線LBL1に接続されているメモリセルからデータを読み出す際には、MOSトランジスタ310をオン状態とし、MOSトランジスタ300をオフ状態とする。その結果、グローバルビット線RGBLと、ローカルビット線LBL0またはL

BL1のいずれかが電氣的に接続される。但し、選択セレクトゲート線を含まないメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ300、310はオフ状態とされる。更に、読み出し用デコーダ40は、MOSトランジスタ21をオン状態とする。

#### 【0116】

また、書き込み用デコーダ30は、セクタSEL内のMOSトランジスタ320、330をオフ状態にする。

#### 【0117】

上記の結果、1つのメモリセルブロック当たり、ローカルビット線LBL0、LBL1のいずれかに接続されたメモリセルが、MOSトランジスタ300または310、及びグローバルビット線GBLを介してセンスアンプ70に接続される。その後は上記第1の実施形態と同様に、グローバルビット線GBLの電位変化をセンスアンプ70が増幅することによって、データの読み出しが行われる。

#### 【0118】

図13は、一例として、ワード線WL0及びローカルビット線LBL0に接続されたメモリセルMCからデータを読み出す際の様子を示す回路図である。なお、メモリセルブロックBLKは、ワード線方向にそって8個存在し、ワード線WL0を含む8個のメモリセルブロックBLKを、BLK0～BLK7と呼ぶことにする。また、ワード線WL0及びローカルビット線LBL0に接続されたメモリセルMCを、順にMC0～MC7と呼ぶことにする。そして、ローカルビット線LBL0に接続されたメモリセルMC0～MC7からデータを読み出す場合について説明する。

#### 【0119】

図示するように、セクタSELにおけるMOSトランジスタ300がオン状態とされることで、グローバルビット線GBL0～GBL7のそれぞれが、ローカルビット線LBL0に接続される。そして、グローバルビット線GBL0～GBL7に1V程度の電位が与えられる。なお、メモリセルブロックBLK0～BLK7以外のメモリセルブロックは、グローバルビット線GBL0～GBL7から電氣的に分離されているため、グローバルビット線GBL0～GBL7からは

見えない。更に、MOSトランジスタ310がオフ状態とされるため、メモリセルブロックBLK0～BLK7においても、ローカルビット線LBL1はグローバルビット線GBL0～GBL7から電氣的に分離される。従って、ローカルビット線LBL1に接続されているメモリセルMCは、グローバルビット線GBL0～RGL7からは見えない。

#### 【0120】

そして、セレクトゲート線SG0に“H”レベルが与えられ、その他のセレクトゲート線SG1～SG3は“L”レベルとされる。その結果、ワード線WL0及びローカルビット線LBL0に接続されている全てのメモリセルMC0～MC7から、データが一括して読み出される。

#### 【0121】

上記の例では、ローカルビット線LBL0に接続されているメモリセルからデータを読み出す場合について説明したが、ローカルビット線LBL1に接続されているメモリセルからデータを読み出す場合には、セクタSEL内のMOSトランジスタ310をオン状態とし、MOSトランジスタ300をオフ状態とすれば良い。

#### 【0122】

##### <消去動作>

消去動作は、上記第1の実施形態と同様であるので説明は省略する。

#### 【0123】

上記のように、この発明の第3の実施形態に係るフラッシュメモリであると、上記第1の実施形態で説明した(1)、(3)、(4)、並びに上記第2の実施形態で説明した(5)の効果が得られる。

#### 【0124】

すなわち、本実施形態に係る構成であると、メモリセルブロック内において、1本のローカルビット線に複数のメモリセルが接続され、1つのメモリセルブロックは2本のローカルビット線を含んでいる。そして、1つのメモリセルブロックに含まれる2本のローカルビット線が、1本のグローバルビット線に接続されている。

## 【0125】

そして、書き込み時及び読み出し時には、1本のグローバルビット線には1つのメモリセルブロックだけが電氣的に接続される。そして、該メモリセルブロック内の2本のローカルビット線のうちの1本だけがグローバルビット線に電氣的に接続される。

## 【0126】

このように、本実施形態においても、第1の実施形態と同様にビット線を階層化している。更に、グローバルビット線は、最も高いレベルに位置する金属配線層250によって形成されている。その結果、(1)フラッシュメモリの動作速度を向上出来る、という効果が得られる。

## 【0127】

また、上記のようにビット線を階層化することで、(3)書き込み動作の信頼性を向上できる、という効果が得られる。

## 【0128】

(4)の効果は、上記第1の実施形態で説明したとおりである。

## 【0129】

更に、図11に示す構成であると、1つのメモリセルブロック内を通過するグローバルビット線GBLは1本だけである。すなわち、2列のメモリセル群が形成される領域に、1本金属配線層250が形成される。従って、金属配線層250形成時の配線余裕を確保出来る。その結果、(5)フラッシュメモリの製造方法を容易に出来る、という効果が得られる。

## 【0130】

次に、この発明の第4の実施形態に係る不揮発性半導体記憶装置について、図14を用いて説明する。本実施形態は、上記第2、第3の実施形態を組み合わせたものである。図14は、本実施形態に係るフラッシュメモリの備えるメモリセルブロックBLK及びセクタSELの回路図である。本実施形態に係るフラッシュメモリは、図1に示す構成において、メモリセルブロックBLK及びセクタSELの構成を図14に示す構成に置き換えた以外は同じである。

## 【0131】



図示するように、メモリセルブロックBLKの構成は、上記第2の実施形態に係る構成と同様であり、1つのメモリセルブロックBLK当たり4列のメモリセル群を含んでいる。

#### 【0132】

セクタSELは、8つのMOSトランジスタ340～410を含んでいる。図示するように、MOSトランジスタ340、370は、ローカルビット線LBL0とLBL3との間に直列接続されている。すなわち、MOSトランジスタ340の電流経路の一端がローカルビット線LBL0に接続され、他端がMOSトランジスタ370の電流経路の一端に接続されている。また、MOSトランジスタ370の他端がローカルビット線LBL3に接続されている。そして、MOSトランジスタ340、370のゲートは読み出し用デコーダ40に接続されている。更に、MOSトランジスタ340、370の接続ノードは、グローバルビット線GBL0～GBL(n-1)のいずれかに接続されている。また、MOSトランジスタ350、360は、ローカルビット線LBL1とLBL2との間に直列接続されている。すなわち、MOSトランジスタ350の電流経路の一端がローカルビット線LBL1に接続され、他端がMOSトランジスタ360の電流経路の一端に接続されている。また、MOSトランジスタ360の他端がローカルビット線LBL2に接続されている。そして、MOSトランジスタ350、360のゲートは読み出し用デコーダ40に接続されている。更に、MOSトランジスタ350、360の接続ノードは、グローバルビット線GBL0～GBL(n-1)のいずれかに接続されている。グローバルビット線GBL0～GBL(n-1)のそれぞれは、同一列にあるセクタSELのMOSトランジスタ340、370の接続ノード、及びMOSトランジスタ350、360の接続ノードを共通接続する。そして、グローバルビット線GBL0～GBL(n-1)の各々の一端はラッチ回路60に接続され、他端はMOSトランジスタ21を介してセンスアンプ70に接続されている。

#### 【0133】

また、MOSトランジスタ380～410の電流経路の一端は、それぞれローカルビット線LBL0～LBL3に接続され、他端は互いに共通接続されて書き

込み用デコーダ30に接続されている。またMOSトランジスタ380～410のゲートは、それぞれ書き込み用デコーダ30に接続されている。

#### 【0134】

すなわち、メモリセルアレイ20内の複数のメモリセルMCは、一列に並んだ4つのメモリセルMC毎に、異なるローカルビット線に接続されている。そして、同一行にあるローカルビット線LBL0～LBL3の一端は、MOSトランジスタ22を介して共通接続され、書き込み用デコーダ30に接続されている。また、同一列にあるローカルビット線LBL0～LBL3の他端は、それぞれMOSトランジスタ340～370を介してグローバルビット線GBL0～GBL( $n-1$ )のいずれかに共通接続されており、且つそれぞれMOSトランジスタ380～410を介して書き込み用デコーダ30に接続されている。

#### 【0135】

書き込み用デコーダ30は、書き込み時において、ワード線WL0～WL( $4m-1$ )のいずれかを選択する。また、セクタSEL内のMOSトランジスタ380～410のいずれかを選択すると共に、MOSトランジスタ380～410の電流経路の他端の電位を0Vとする。更に、MOSトランジスタ22のゲート、及び複数のローカルビット線の共通接続ノードに電圧を供給する。

#### 【0136】

読み出し用デコーダ40は、書き込み時及び読み出し時において、セクタSEL内のMOSトランジスタ340～370のいずれかを選択し、選択したMOSトランジスタのゲートに電圧を供給する。また、MOSトランジスタ21のゲートに電位を供給する。

#### 【0137】

その他の構成は、第1の実施形態と同様であるので説明は省略する。また、メモリセルブロックBLKの平面パターン及び断面構造は、図9及び図10において、2本の書き込み用グローバルビット線WGBLを廃し、読み出し用グローバルビット線RGBLをグローバルビット線GBLに置き換えたパターン及び構造となる。従って、これらの説明も省略する。

#### 【0138】

次に、上記構成のフラッシュメモリの動作について説明する。動作は、上記第3の実施形態とほぼ同様であるので、ここでは簡単に説明する。

#### <書き込み動作>

データの書き込みは、第1の実施形態と同様に、同一行にあるメモリセルブロックに対して一括して行われる。但し、各メモリセルブロック内において、同時に書き込まれるメモリセルは、ローカルビット線LBL0～LBL3のいずれかに接続されたメモリセルだけである。

#### 【0139】

書き込みの際、読み出し用デコーダ40は、選択ワード線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ340～370のいずれかをオン状態にする。その結果、グローバルビット線GBLと、ローカルビット線LBL0～LBL3のいずれかがとが電氣的に接続される。

#### 【0140】

また、書き込み用デコーダ30は、選択用ワード線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ380～410のいずれか1つをオフ状態とし、その他をオン状態にする。すなわち、1本のローカルビット線だけが、MOSトランジスタ340～370のいずれかによってグローバルビット線GBLに接続される。そして、グローバルビット線に接続されないローカルビット線の全てには、MOSトランジスタ380～410のいずれかによって、書き込み用デコーダ30から0Vが供給される。

#### 【0141】

上記の結果、セクタSEL内のMOSトランジスタ340～370を介して、グローバルビット線GBLから、選択ワード線を含むメモリセルブロックBLKのローカルビット線LBL0～LBL3のいずれかに、“1”データまたは“0”データに対応する電位が与えられる。その結果、上記第1の実施形態で説明したように、メモリセルにデータが書き込まれる。

#### 【0142】

#### <読み出し動作>

データの読み出しは、上記第1の実施形態と同様に、いずれかのワード線に接

続された複数のメモリセルから一括して読み出され、各ブロック当たり1つのメモリセルMCから読み出される。

#### 【0143】

読み出しの際、読み出し用デコーダ40は、選択セレクトゲート線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ340～370のいずれかオン状態とする。ローカルビット線LBL0～LBL3のそれぞれに接続されているメモリセルからデータを読み出す際には、MOSトランジスタ340～370のそれぞれをオン状態とする。その結果、グローバルビット線RGLと、ローカルビット線LBL0～LBL3のいずれかとが電氣的に接続される。

#### 【0144】

また、書き込み用デコーダ30は、セクタSEL内のMOSトランジスタ380～410をオフ状態にする。

#### 【0145】

上記の結果、1つのメモリセルブロック当たり、ローカルビット線LBL0～LBL3のいずれかに接続されたメモリセルが、MOSトランジスタ340～370のいずれか、及びグローバルビット線GBLを介してセンスアンプ70に接続される。

#### 【0146】

##### <消去動作>

消去動作は、上記第1の実施形態と同様であるので説明は省略する。

#### 【0147】

上記のように、この発明の第4の実施形態に係るフラッシュメモリであると、上記第1の実施形態で説明した(1)、(3)、(4)、並びに上記第2の実施形態で説明した(5)の効果が得られる。

#### 【0148】

すなわち、本実施形態に係る構成であると、メモリセルブロック内において、1本のローカルビット線に複数のメモリセルが接続され、1つのメモリセルブロックは4本のローカルビット線を含んでいる。そして、1つのメモリセルブロッ

クに含まれる 4 本のローカルビット線が、1 本のグローバルビット線に接続されている。

#### 【0149】

そして、書き込み時及び読み出し時には、1 本のグローバルビット線には 1 つのメモリセルブロックだけが電氣的に接続される。そして、該メモリセルブロック内の 4 本のローカルビット線のうちの 1 本だけがグローバルビット線に電氣的に接続される。

#### 【0150】

このように、本実施形態においても、第 1 の実施形態と同様にビット線を階層化している。更に、グローバルビット線は、最も高いレベルに位置する金属配線層 250 によって形成されている。その結果、(1) フラッシュメモリの動作速度を向上出来る、という効果が得られる。

#### 【0151】

また、上記のようにビット線を階層化することで、(3) 書き込み動作の信頼性を向上できる、という効果が得られる。

#### 【0152】

(4) の効果は、上記第 1 の実施形態で説明したとおりである。

#### 【0153】

更に、図 14 に示す構成であると、4 列のメモリセル群が形成される領域に、1 本金属配線層 250 (グローバルビット線 GBL) が形成される。従って、金属配線層 250 形成時の配線余裕を確保出来る。その結果、(5) フラッシュメモリの製造方法を容易に出来る、という効果が得られる。

#### 【0154】

次に、この発明の第 5 の実施形態に係る不揮発性半導体記憶装置について、図 15 を用いて説明する。図 15 は、本実施形態に係る不揮発性半導体記憶装置を含むシステム LSI のブロック図である。

#### 【0155】

図示するように、システム LSI 500 は、ロジック回路領域とメモリ領域とを有している。そして、ロジック回路領域には例えば CPU 510 が設けられて

いる。またメモリ領域には、上記第1乃至第4の実施形態で説明したフラッシュメモリ10、NAND型フラッシュメモリ520、及び1つのメモリセルが3つのMOSトランジスタを含むフラッシュメモリ530が設けられている。

#### 【0156】

本実施形態に係る構成であると、フラッシュメモリ10において、上記(1)乃至(5)の効果が得られると共に、(6)システムLSIの製造を簡略化出来る、という効果が得られる。

#### 【0157】

上記第1乃至第4の実施形態で説明したフラッシュメモリ10は、NAND型フラッシュメモリ520及びフラッシュメモリ530と、同一の製造工程で形成出来る。例えば、不純物拡散層を形成するためのイオン注入工程や、ゲート電極及び金属配線層のパターニング工程等を、3つのフラッシュメモリについて同時に行うことが出来る。この場合、例えば不純物拡散層は、各メモリ間で同一の濃度を有することになる。このように、LSIに設けられる3つのフラッシュメモリを同一工程で形成できる結果、LSIの製造を簡略化出来る。

#### 【0158】

特に、上記第1乃至第4の実施形態に係るフラッシュメモリ10のメモリセルは、セルの直列トランジスタの数が2個である。従って、メモリセルの電流駆動能力が他のメモリセルより大きい。そのため、フラッシュメモリ10は、高速の読出し用途に向いている。図15に示すようにCPU510と同一チップに搭載した場合は、フラッシュメモリ10をCPU510のファームウェアなどを格納するROMとして使う事ができる。この点、上記第1乃至第4の実施形態に係るフラッシュメモリ10であると、より高速にフラッシュメモリ10からのデータの読み出しを行うことが出来る。そのため、CPU510がRAMなどを介さずに、データをフラッシュメモリ10から直接読み出す事が出来るようになるため、RAMなどが不要になり、システムLSIを構成した時にも効果が得られる。

#### 【0159】

なお、例えばロジック回路領域では、CPU510をSOI基板上に形成し、メモリ領域では、各メモリ10、520、530をバルクのシリコン基板上に形

成しても良い。

【0160】

上記のように、この発明の第1乃至第5の実施形態に係る不揮発性半導体記憶装置であると、複数のメモリセルをローカルビット線に接続し、複数のローカルビット線をグローバルビット線（書き込み用グローバルビット線、読み出し用グローバルビット線）に接続している。すなわち、階層ビット線方式を採用している。これにより、書き込み時及び読み出し時において、グローバルビット線に存在する寄生容量を大幅に低減している。そのため、フラッシュメモリの動作を高速化出来る。また書き込みの際には、非選択のメモリセルへの誤書き込みの発生を、効果的に抑制できる。

【0161】

また、グローバルビット線は、最も高いレベルの金属配線層によって形成されている。従って、グローバルビット線の配線容量を低減できる結果、フラッシュメモリの動作速度を向上出来る。

【0162】

更に、ソース線を金属配線層によって形成している。従って、ソース線の配線抵抗を低減出来る。その結果、メモリセルに流す電流量を増やすことが出来、読み出し動作の信頼性を向上できる。

【0163】

また上記第1、第2の実施形態では、グローバルビット線は書き込み用と読み出し用とに分かれている。すなわち、書き込み時の電流経路と読み出し時の電流経路とが異なっている。従って、読み出し時の電流経路に存在するMOSトランジスタに低耐圧のものを使用できる。その結果、読み出し動作を高速化出来る。

【0164】

更に上記第2乃至第4の実施形態では、金属配線層250の配線余裕を確保することが出来、プロセスの簡略化及び製造歩留まりの向上を可能とする。

【0165】

なお、上記第1乃至第5の実施形態では、“1”書き込みの際、ラッチ回路60は0Vを出力する場合について説明した。しかし、図2に示すように、スイッ

チ 63 によって、0 V を  $V_{cc}$  (例えば 1.5 V) に切り替えても良い。この場合には、メモリセルトランジスタのゲート・ドレイン間の電位差がより小さくなるので、誤書き込みをより効果的に防止でき、書き込み動作信頼性を向上できる。

#### 【0166】

また、上記第 1、第 2 の実施形態において、セレクト SEL 内の MOS トランジスタ 24、25、24-1、24-2、25-1、25-2 を、2 つの MOS トランジスタに置き換えても良い。図 16、図 17 は、第 1、第 2 の実施形態の変形例に係るセレクトの回路図である。

#### 【0167】

図示するように、MOS トランジスタ 24、25、24-1、24-2、25-1、25-2 は、それぞれ直列接続された 2 つの MOS トランジスタ 27、28 で構成されている。そして、MOS トランジスタ 27 がローカルビット線に接続され、MOS トランジスタ 28 が読み出し用グローバルビット線に接続されている。なお、MOS トランジスタ 28 は、ゲート絶縁膜の薄い低耐圧の MOS トランジスタであり、MOS トランジスタ 27 は、ゲート絶縁膜の厚い高耐圧の MOS トランジスタである。そして、MOS トランジスタ 27 のゲートには、昇圧回路 600 によって例えば 5 V が常時与えられている。すなわち、MOS トランジスタ 27 はスイッチング動作を行わない。他方、MOS トランジスタ 28 のゲートは読み出し用デコーダ 40 に接続されている。そして、読み出し用デコーダ 40 から与えられる電圧 (例えば  $V_{cc}$ ) によって、スイッチング動作を行う。

#### 【0168】

本構成によれば、高耐圧の MOS トランジスタ 27 は実質的にスイッチ素子として機能しない。そして、低耐圧の MOS トランジスタ 28 が、ローカルビット線と読み出し用グローバルビット線との間のスイッチングを行っている。従って、読み出し経路には実質的に高耐圧の MOS トランジスタが存在しないこととなり、より早い読み出し動作が出来る。また同時に、消費電力を低減できる。

#### 【0169】

また、上記第 1、第 2 の実施形態では、ビット線は読み出し用グローバルビット線と書き込み用グローバルビット線とに分割されている。この場合、読み出し



時には、書き込み用グローバルビット線を接地電位にしておくことが望ましい。図18はこの様子を示しており、第1の実施形態に係るメモリセルブロックBLK及びセクタSELの回路図である。図示するように、読み出し時において、MOSトランジスタ24がオン状態とされ、ローカルビット線LBL0が読み出し用グローバルビット線GBL0に接続されている。そして、書き込み用グローバルビット線WGBL0、WGBL1は、電圧生成器610に、スイッチ素子620を介して接続されている。電圧生成器610は、書き込み用グローバルビット線WGBL0、WGBL1に0Vを与える。

#### 【0170】

以上のように、読み出し時には書き込み用グローバルビット線の電位を接地電位にすることはノイズ対策となり、読み出し動作を更に安定させることが出来る。なお図18では第1の実施形態に係る構成の場合について説明したが、勿論、第2の実施形態に係る構成の場合であっても同様である。

#### 【0171】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

#### 【0172】

##### 【発明の効果】

以上説明したように、この発明によれば、動作速度を向上できる不揮発性半導体記憶装置を提供できる。

##### 【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係るフラッシュメモリのブロック図

。

【図2】 この発明の第1の実施形態に係るフラッシュメモリの備えるラッ

チ回路の回路図。

【図 3】 この発明の第 1 の実施形態に係るフラッシュメモリの備えるメモリセルブロックの平面図。

【図 4】 図 3 における X 1 - X 1' 線に沿った断面図。

【図 5】 図 3 における Y 1 - Y 1' 線に沿った断面図。

【図 6】 この発明の第 1 の実施形態に係るフラッシュメモリの一部領域の回路図であり、書き込み動作時の様子を示す図。

【図 7】 この発明の第 1 の実施形態に係るフラッシュメモリの一部領域の回路図であり、読み出し動作時の様子を示す図。

【図 8】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるメモリセルブロック及びセクタの回路図。

【図 9】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるメモリセルブロックの平面図。

【図 10】 図 9 における X 2 - X 2' 線に沿った断面図。

【図 11】 この発明の第 3 の実施形態に係るフラッシュメモリの備えるメモリセルブロック及びセクタの回路図。

【図 12】 この発明の第 3 の実施形態に係るフラッシュメモリの一部領域の回路図であり、書き込み動作時の様子を示す図。

【図 13】 この発明の第 3 の実施形態に係るフラッシュメモリの一部領域の回路図であり、読み出し動作時の様子を示す図。

【図 14】 この発明の第 4 の実施形態に係るフラッシュメモリの備えるメモリセルブロック及びセクタの回路図。

【図 15】 この発明の第 5 の実施形態に係るフラッシュメモリを備えるシステム L S I のブロック図。

【図 16】 この発明の第 1 の実施形態の変形例に係るフラッシュメモリの備えるセクタの回路図。

【図 17】 この発明の第 2 の実施形態の変形例に係るフラッシュメモリの備えるセクタの回路図。

【図 18】 この発明の第 1、第 2 の実施形態の変形例に係るフラッシュメ

モリの備えるメモリセルブロック及びセクタの回路図。

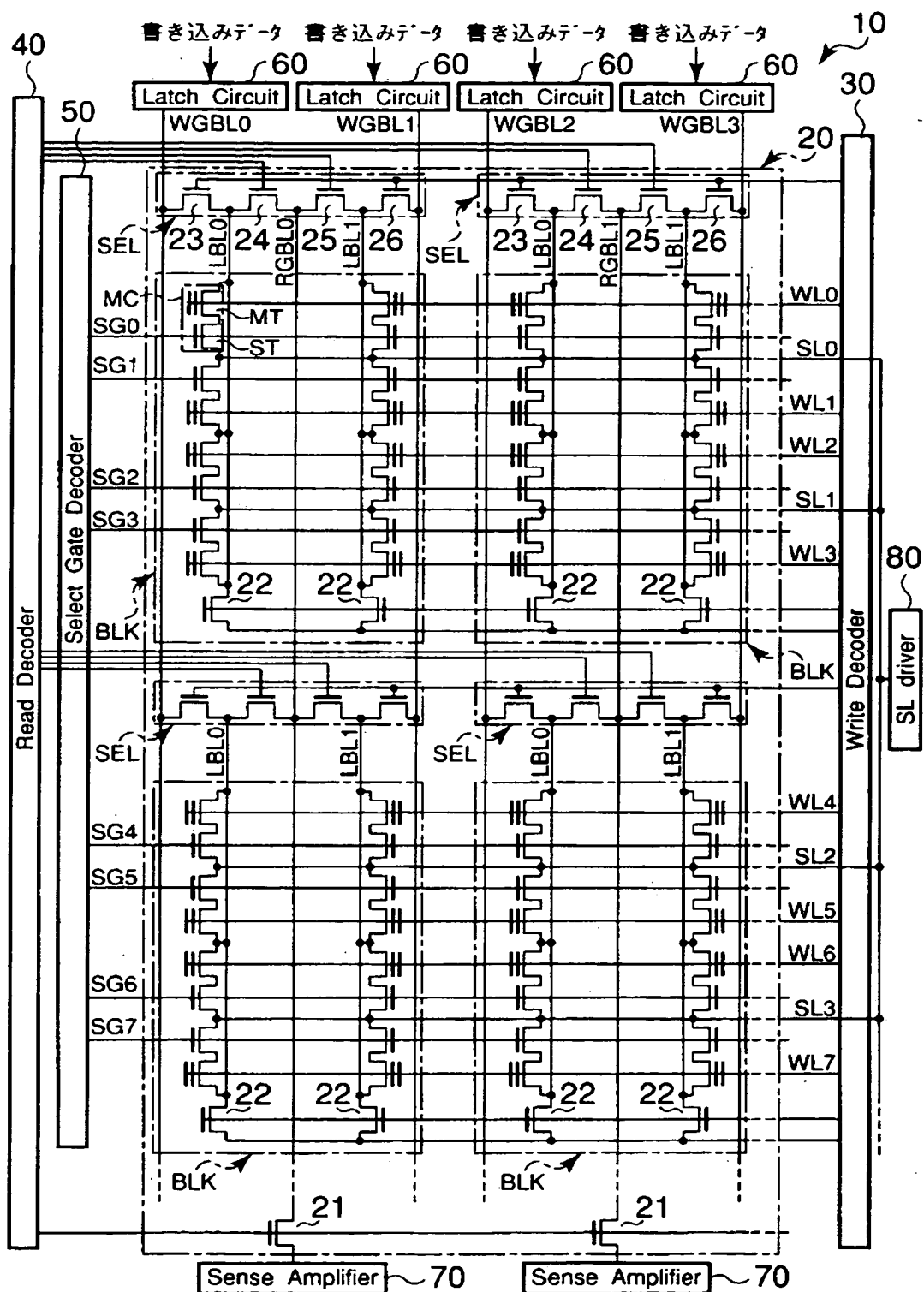
【符号の説明】

10、520、530…フラッシュメモリ、20…メモリセルアレイ、21～28、23-1～26-1、23-2～26-2、300～410…MOSトランジスタ、30…書き込み用デコーダ、40…読み出し用デコーダ、50…セレクトゲートデコーダ、60…ラッチ回路、61、62…インバータ、63、620…スイッチ素子、70…センスアンプ、80…ソース線ドライバ、100…半導体基板、110、130、200、220、250…金属配線層、120、120-1、120-2…ゲート電極、140…ゲート絶縁膜、150、170…多結晶シリコン層、160…ゲート間絶縁膜、180…不純物拡散層、190、210、230、240、260…層間絶縁膜、500…システムLSI、510…CPU、600…昇圧回路、610…電圧生成器

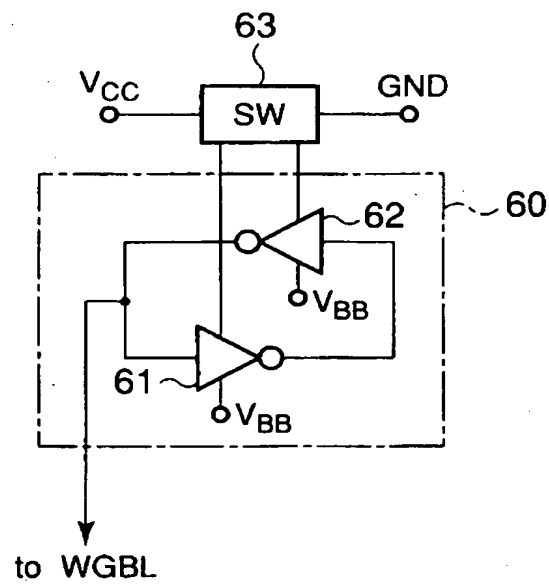
【書類名】

図面

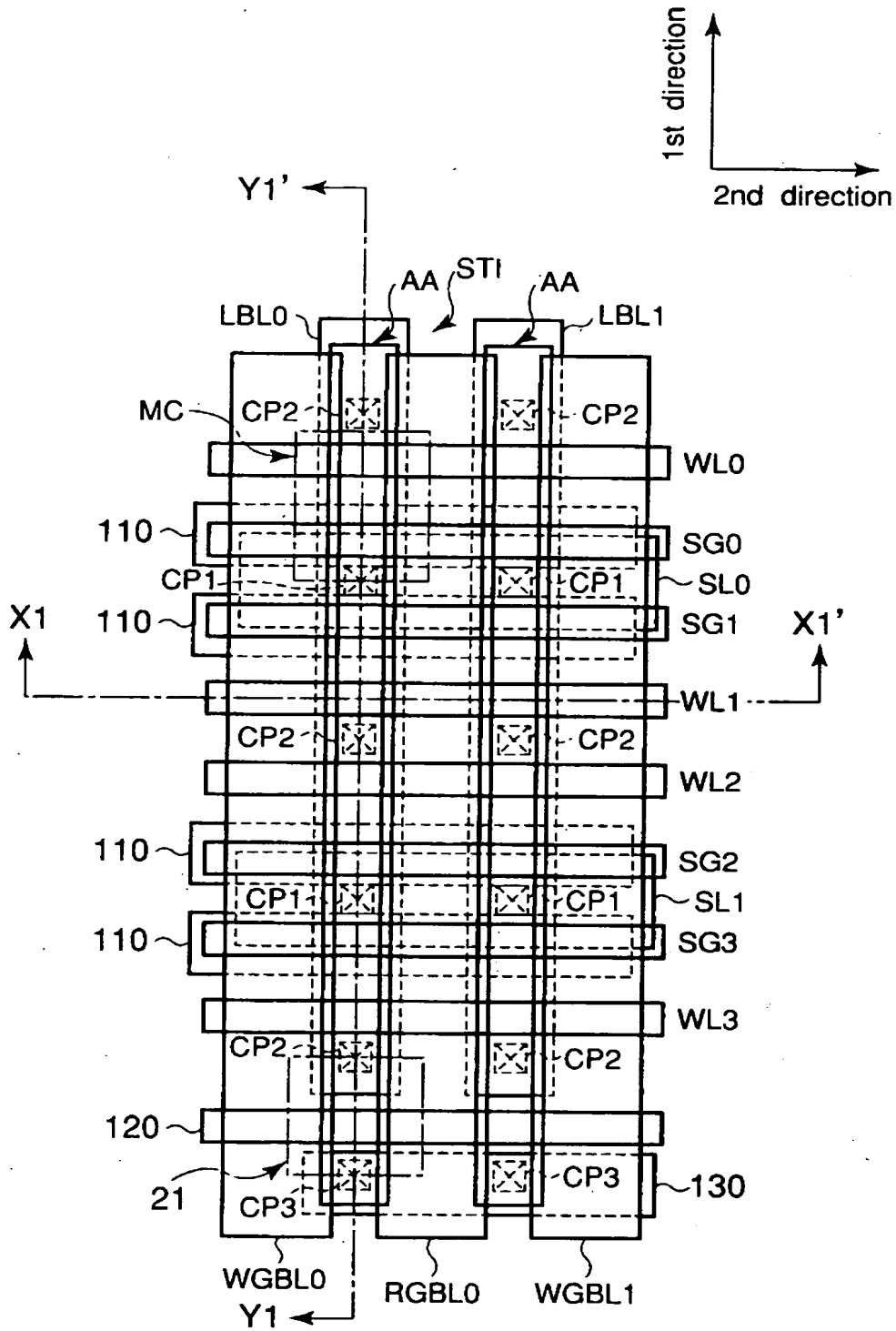
【図 1】



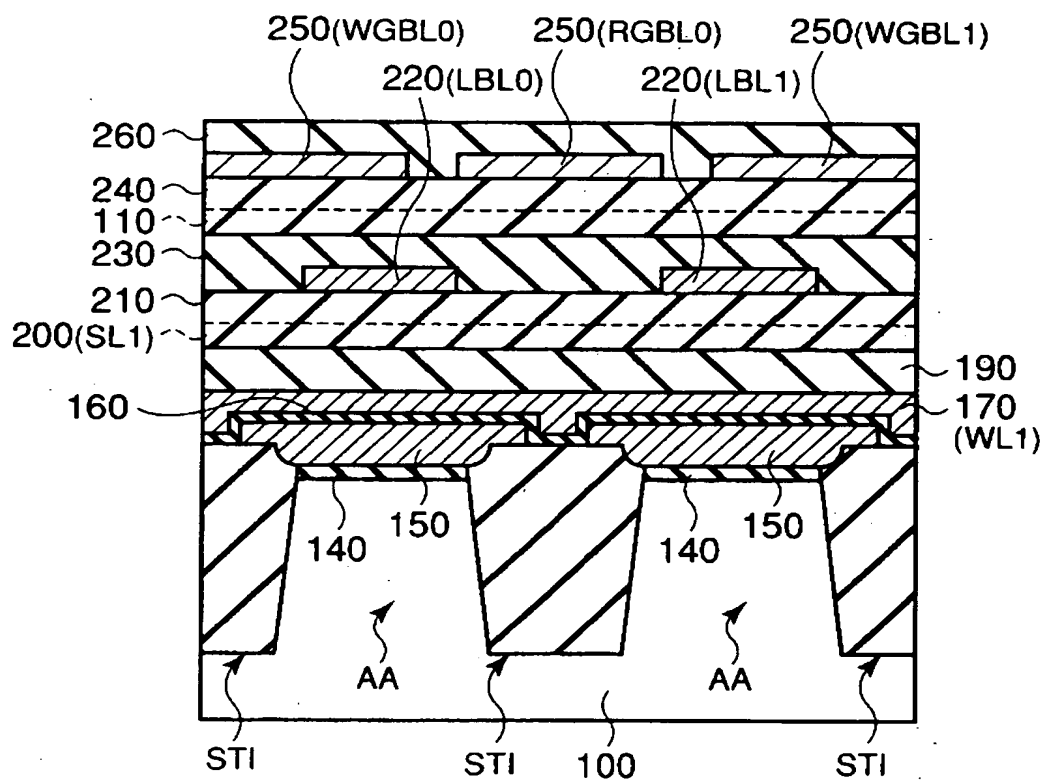
【図 2】



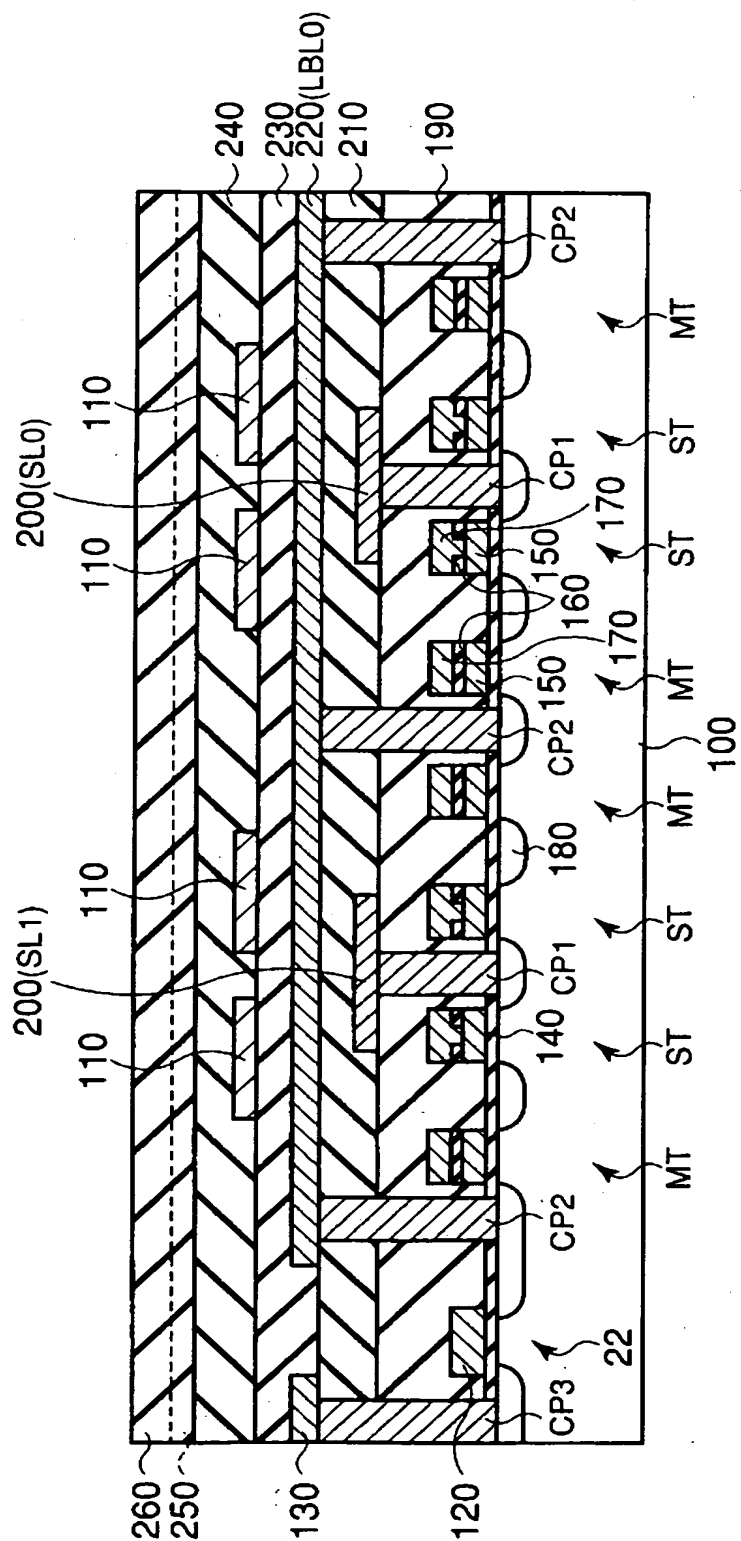
【図 3】



【図 4】

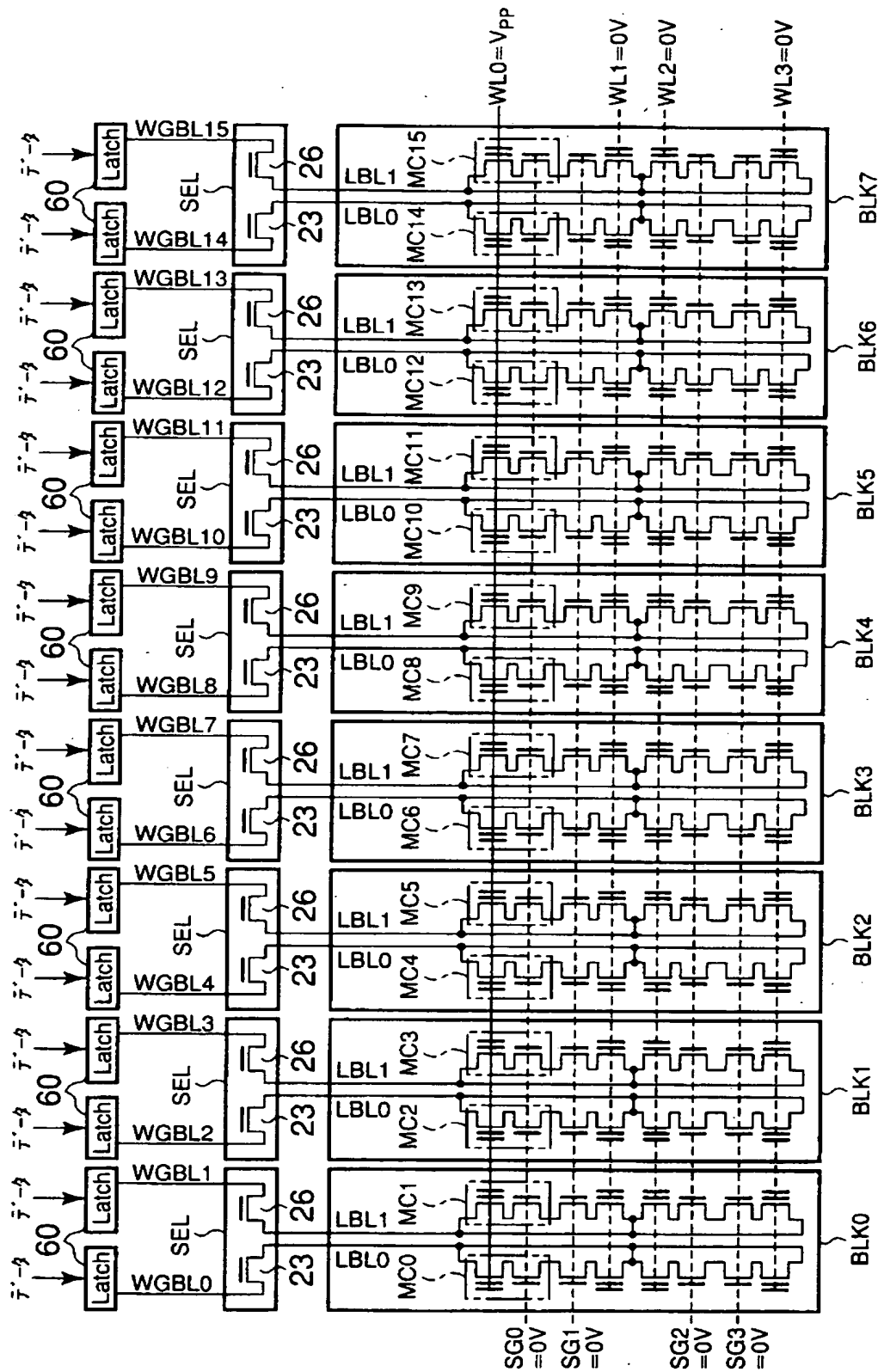


【図 5】

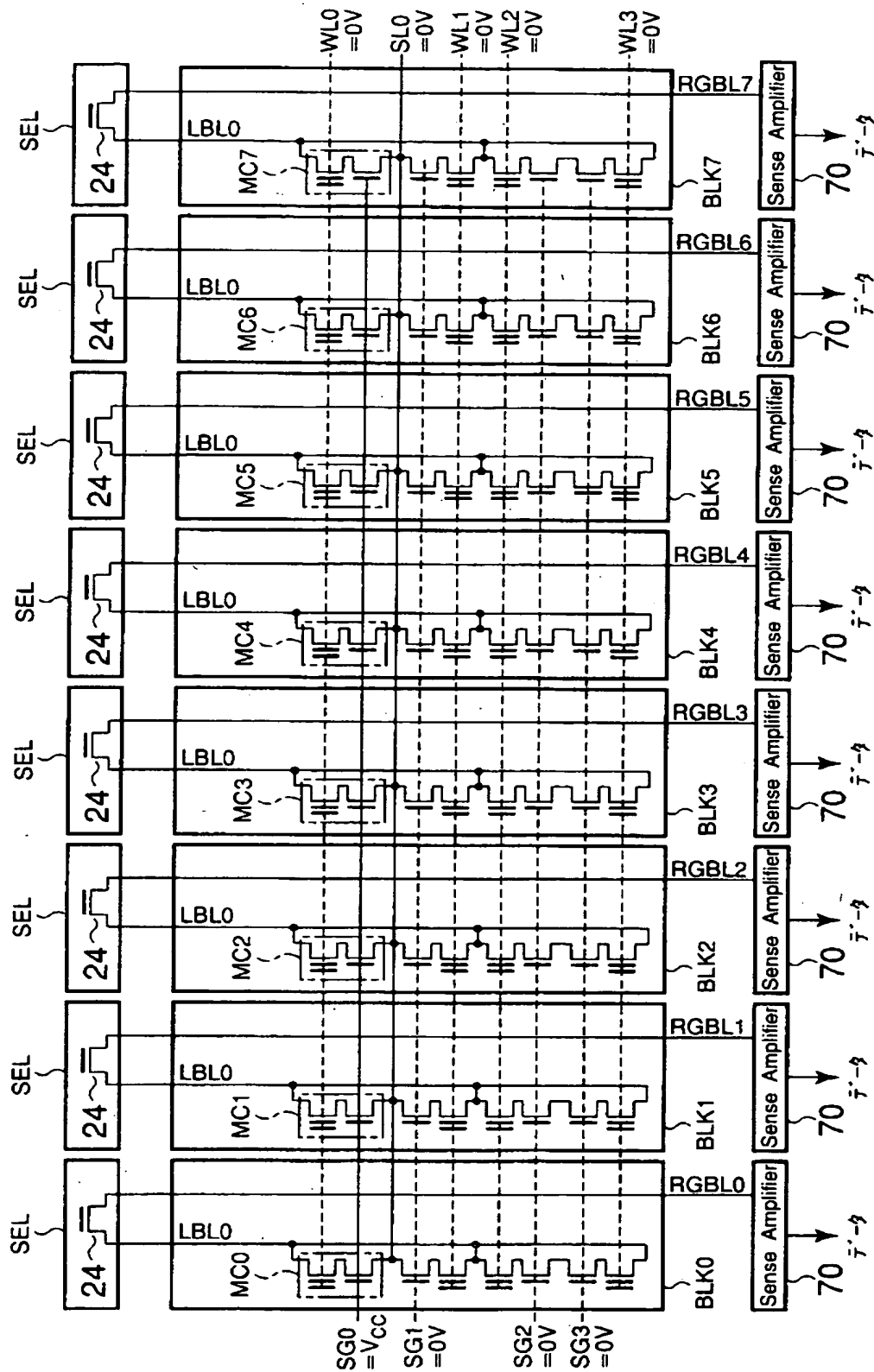




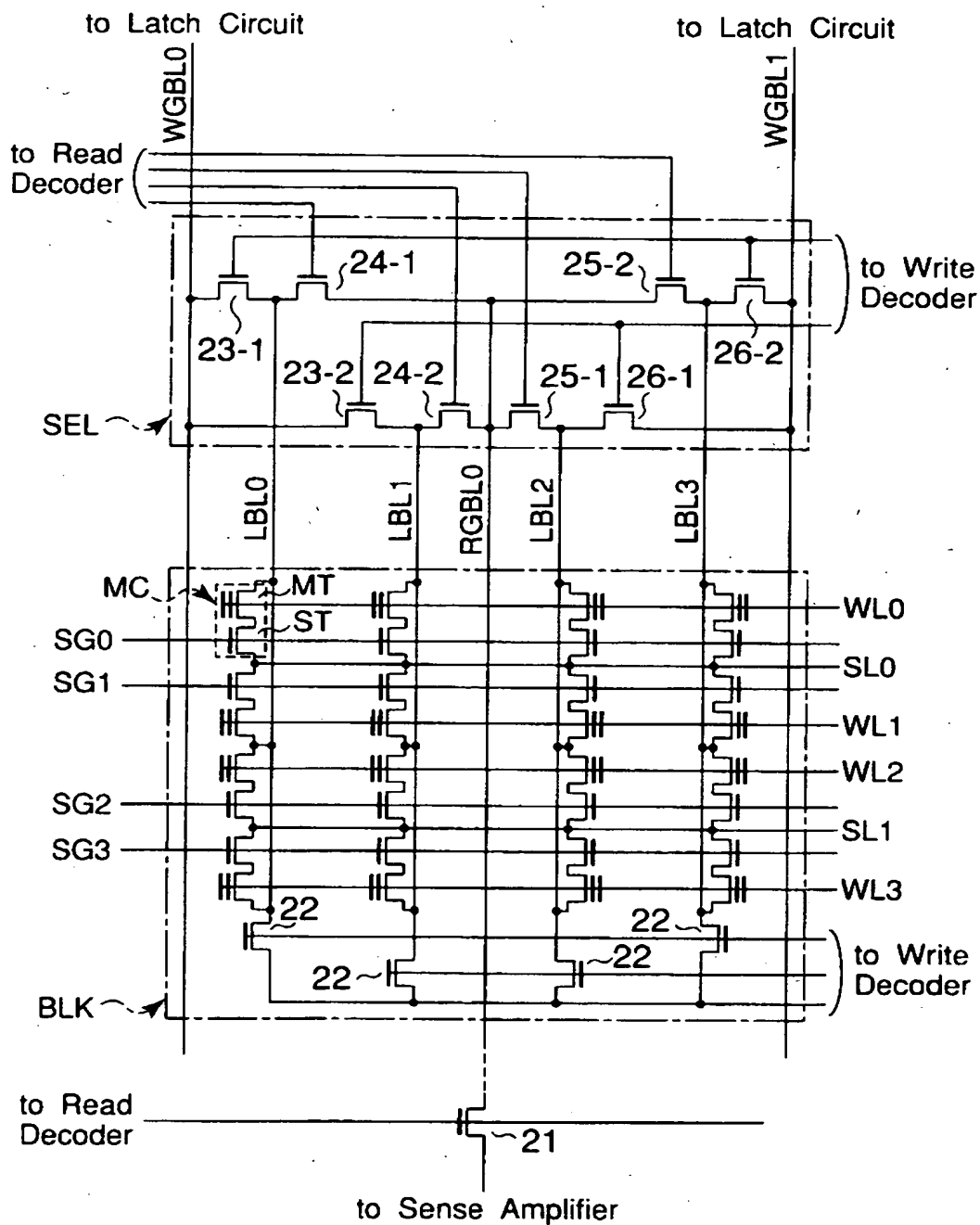
【図 6】



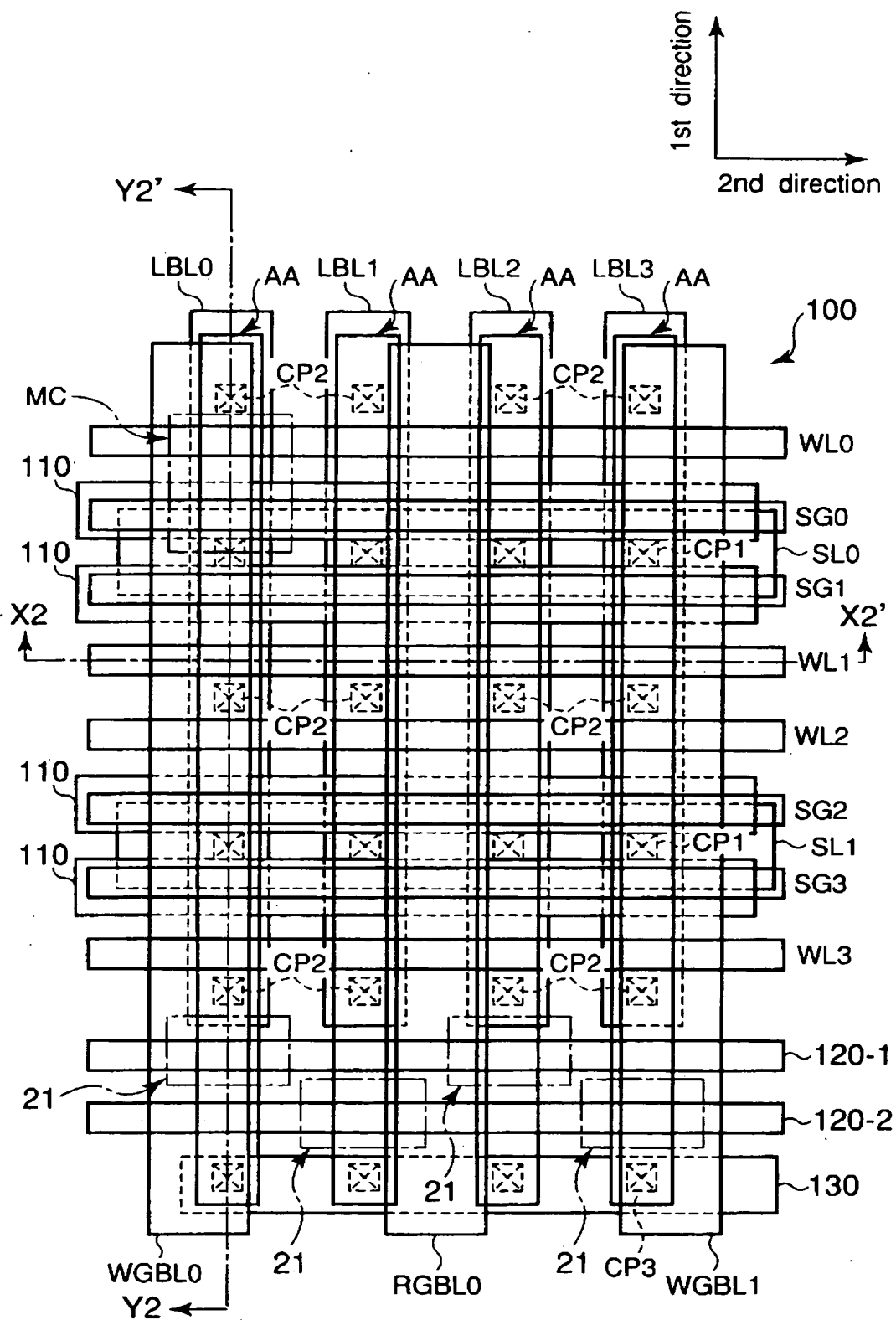
【図 7】



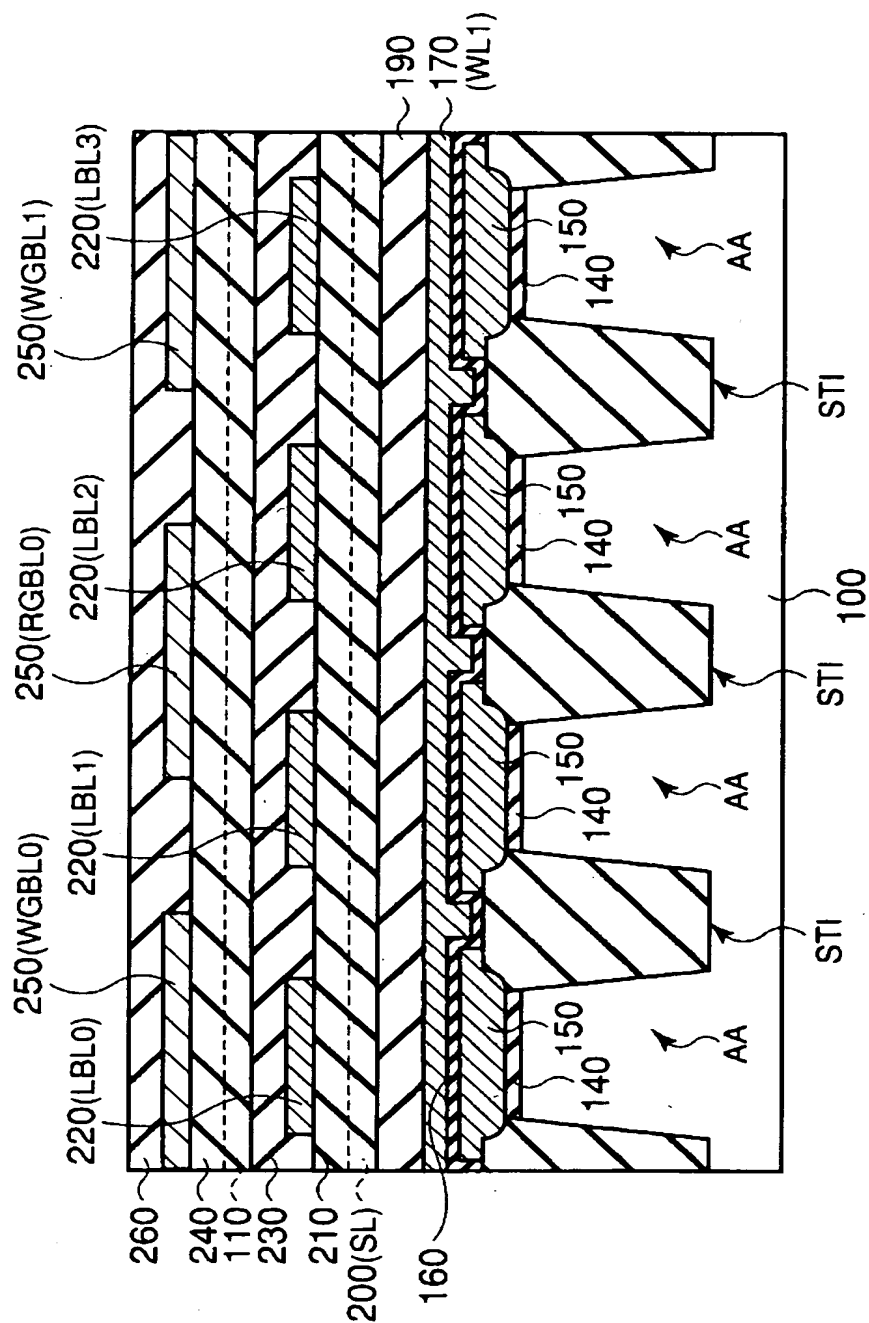
【図 8】



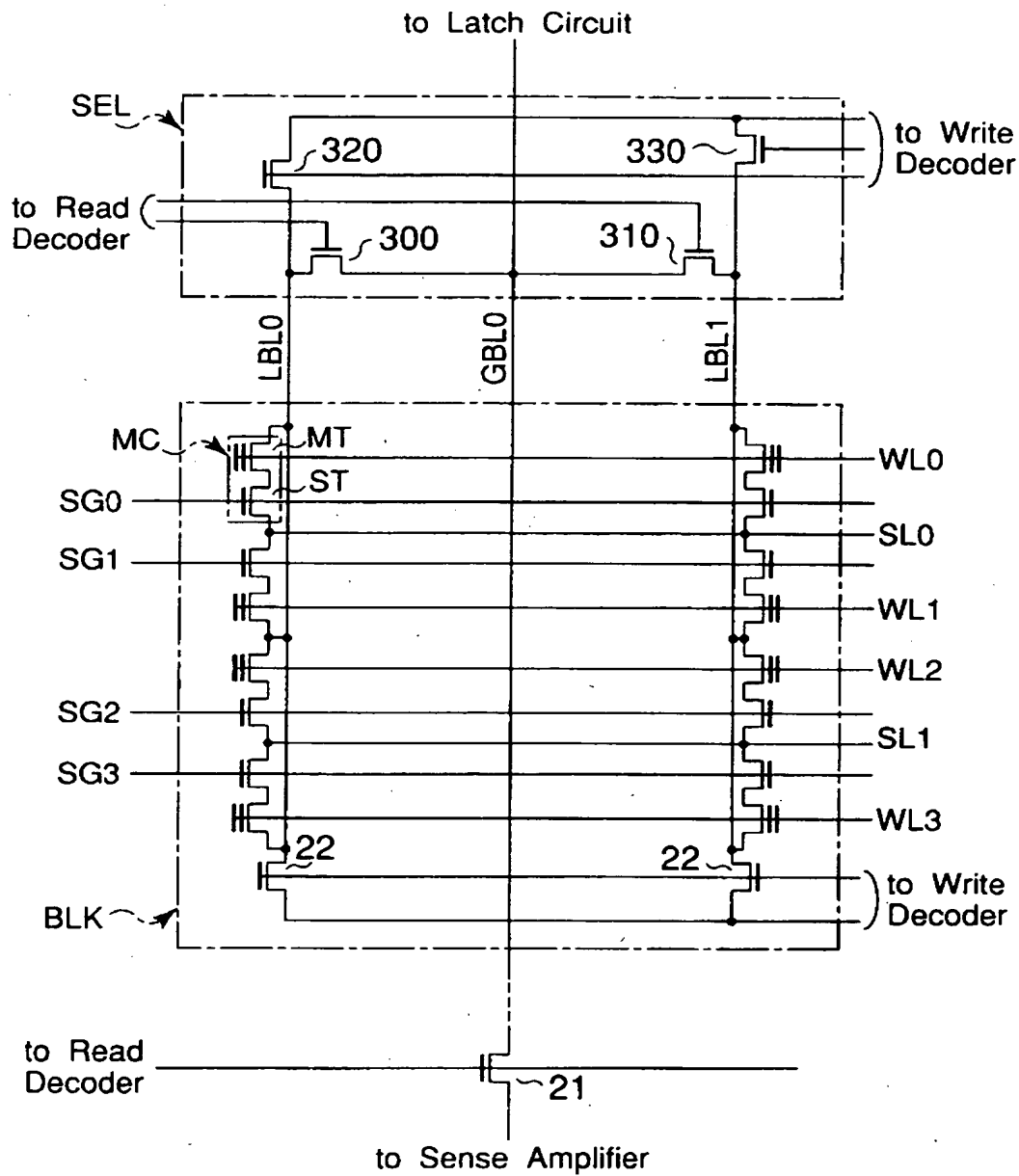
【図 9】



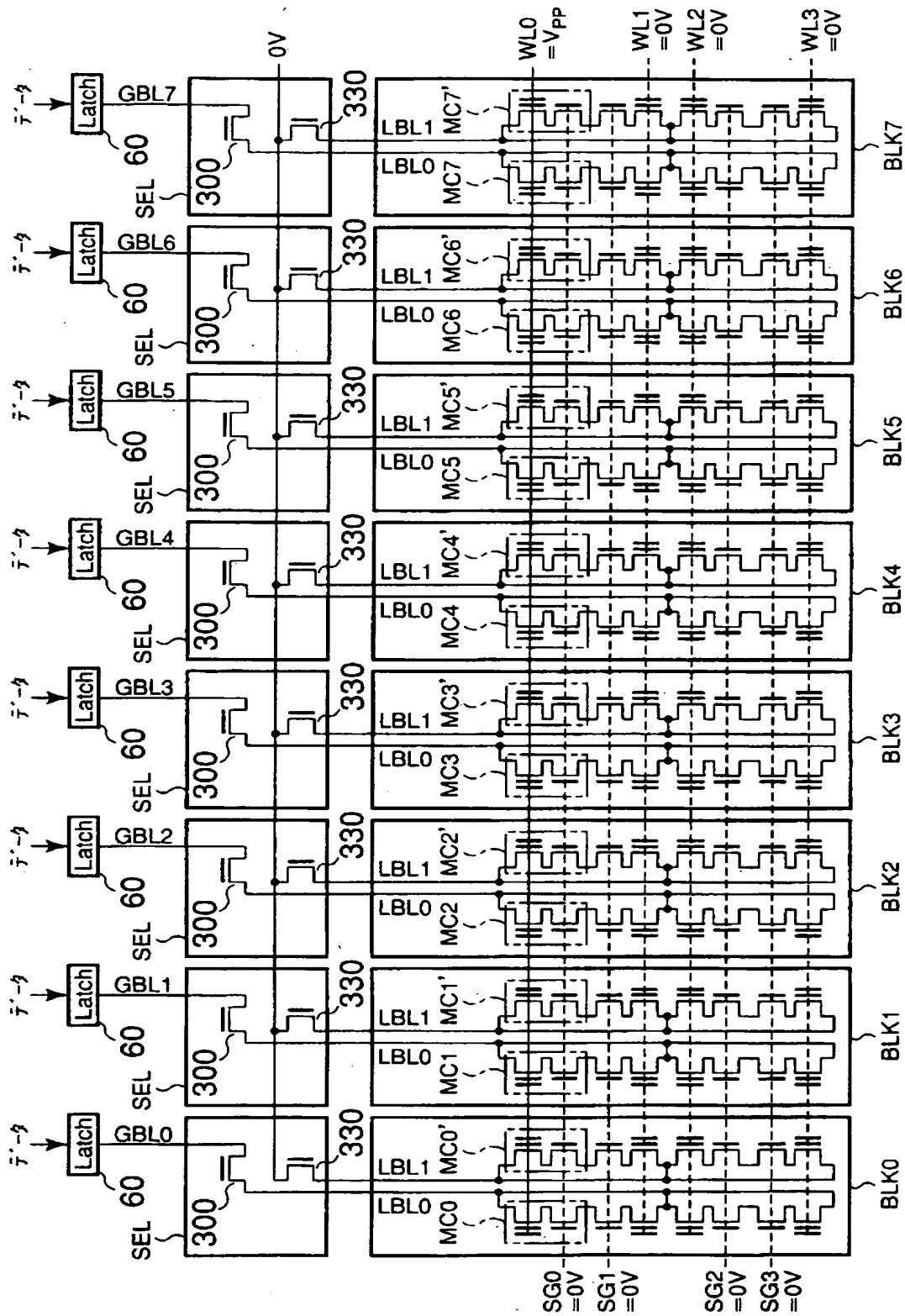
【図10】



【図 11】



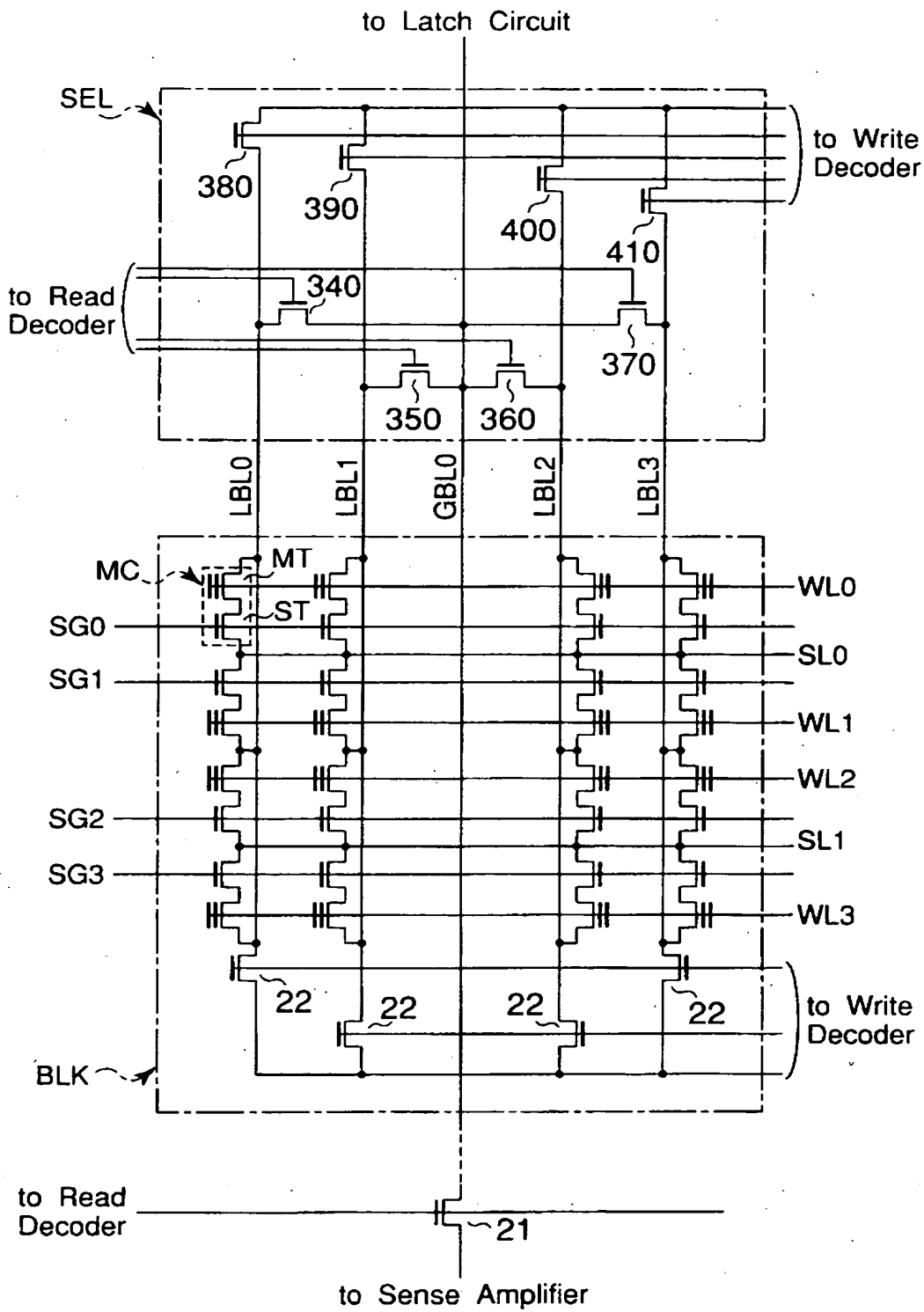
【図 12】



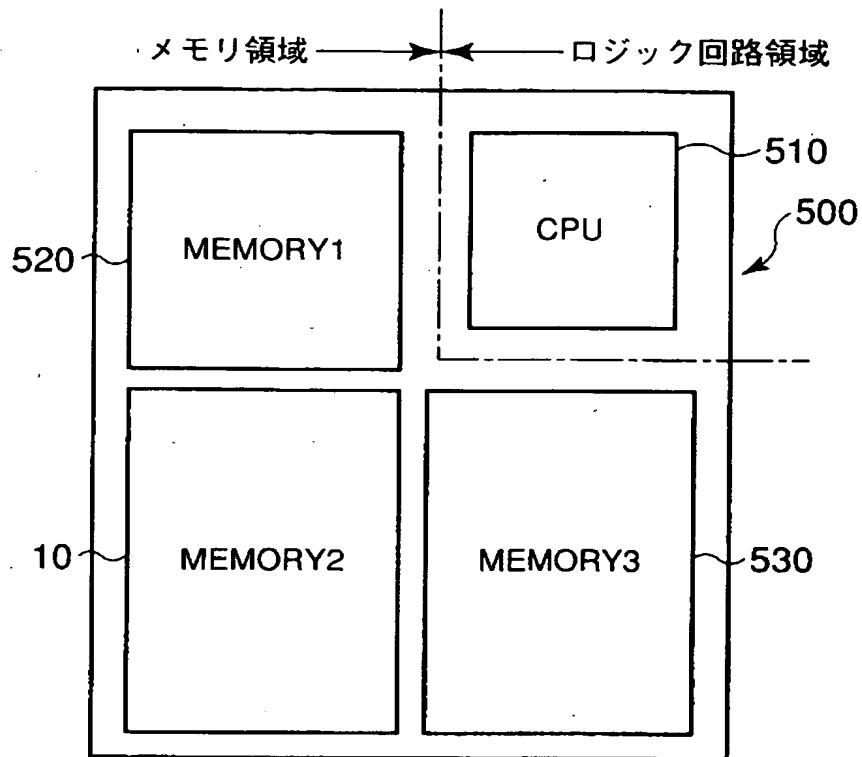




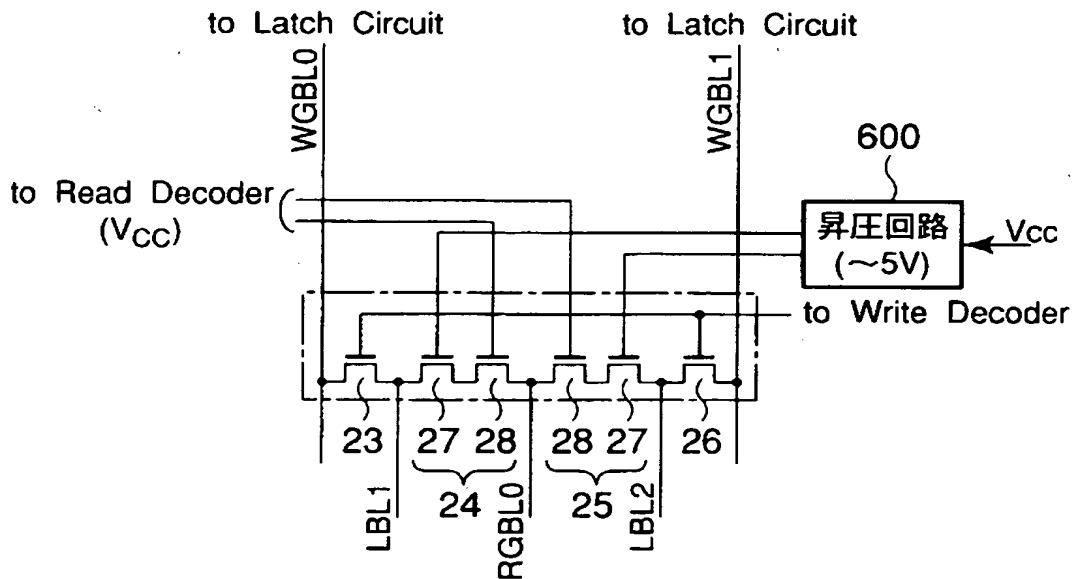
【図 14】



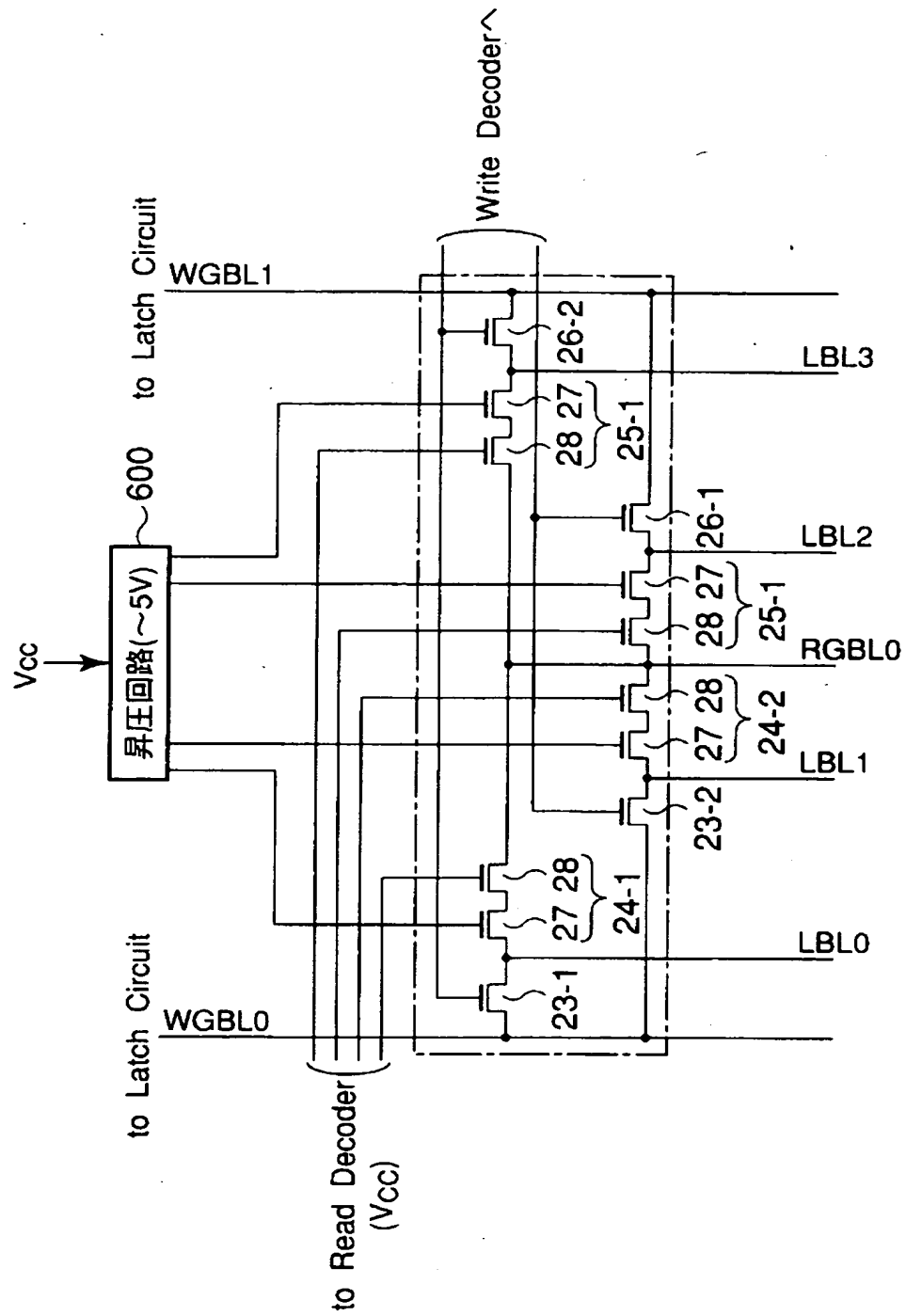
【図 15】



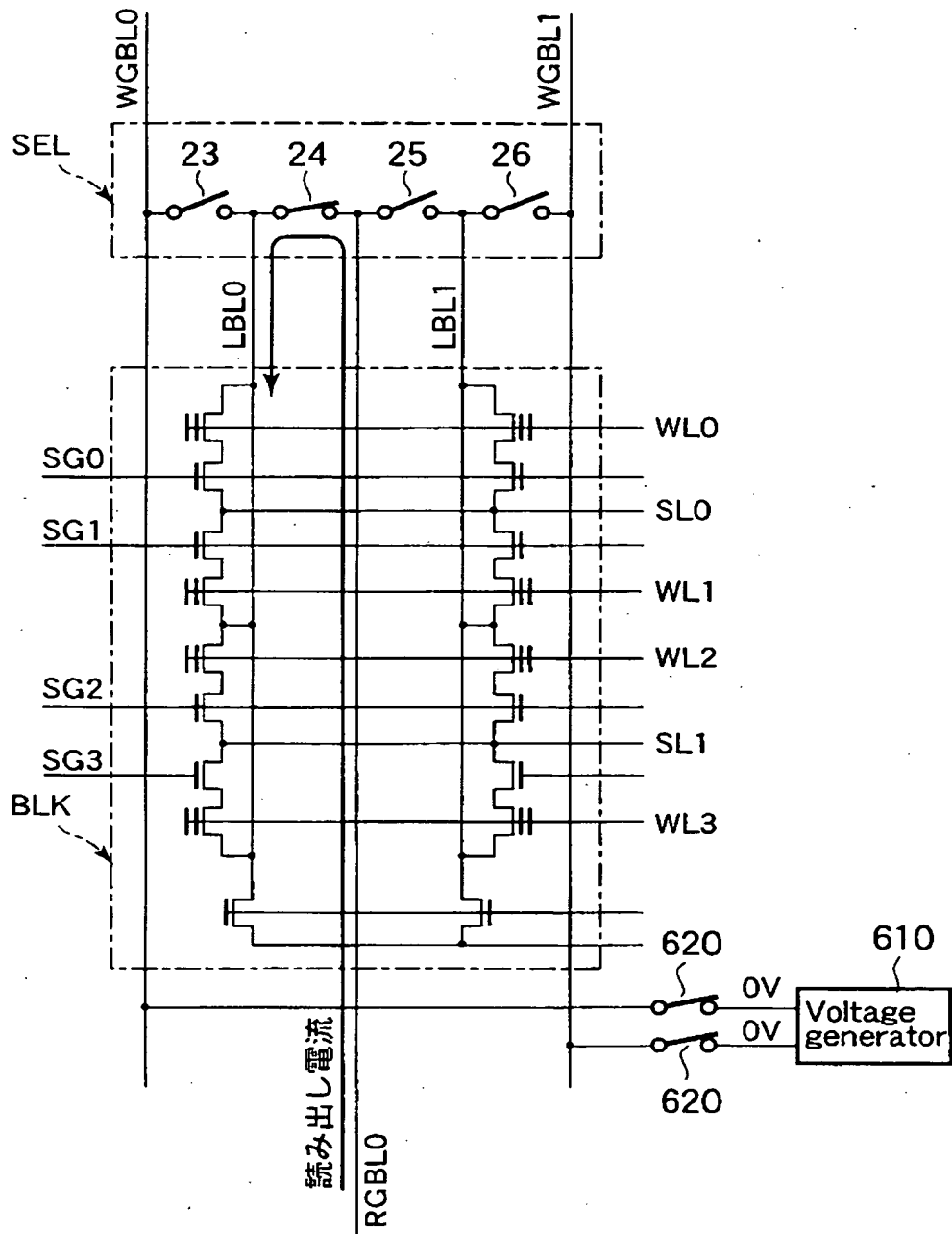
【図 16】



【図 17】



【図18】



【書類名】 要約書

【要約】

【課題】 動作速度を向上できる不揮発性半導体記憶装置を提供すること。

【解決手段】 フラッシュメモリ 10 は、電荷蓄積層と制御ゲートとを備える第 1 MOS トランジスタ MT と、電流経路の一端が前記第 1 MOS トランジスタ MT の電流経路の一端に接続された第 2 MOS トランジスタ ST とを含む複数のメモリセル MC と、それぞれに複数の前記メモリセル MC の第 1 MOS トランジスタ MT の電流経路の他端が接続された複数のローカルビット線 LBL と、複数の前記ローカルビット線 LBL を共通接続するグローバルビット線 WGBL、RGBL と、前記ローカルビット線 LBL と前記グローバルビット線 WGBL、RGBL とを接続する第 1 スイッチ素子 SEL と、前記グローバルビット線 WGBL に接続され、前記メモリセル MC への書き込みデータを保持する保持回路 60 とを具備する。

【選択図】 図 1

特願 2003-122342

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日  
[変更理由] 名称変更  
住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝